



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

NÁVRH PŘEVODNÍKU DA V TECHNOLOGII CMOS

DESIGN OF D/A CONVERTER IN CMOS TECHNOLOGY

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

Filip Kliment

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Vilém Kledrowetz, Ph.D.

BRNO 2016

Bakalářská práce

bakalářský studijní obor **Mikroelektronika a technologie**

Ústav mikroelektroniky

Student: Filip Kliment

ID: 164875

Ročník: 3

Akademický rok: 2015/16

NÁZEV TÉMATU:

Návrh převodníku DA v technologii CMOS

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte struktury převodníků DA a jejich základní parametry. Vyberte vhodnou strukturu pro použití v převodnících AD s postupnou aproximací. Navrhněte obvod na tranzistorové úrovni v technologii ONSemi I2T100 nebo I3T25 a simulacemi ověřte dosažené parametry převodníku DA.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 8.2.2016

Termín odevzdání: 2.6.2016

Vedoucí práce: Ing. Vilém Kledrowetz, Ph.D.

Konzultant bakalářské práce:

doc. Ing. Jiří Háze, Ph.D., předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Táto bakalárska práca sa zaoberá návrhom digitálne analógového prevodníku, v práci sú popísané parametre prevodníkov DA. Práca obsahuje základné štruktúry prevodníkov DA s ich prenosovými funkciami. Pri návrhu bola vybratá štruktúra s R2-R odporovou sieťou. Obvod bol navrhnutý pre technológiu I2T100. Návrh a simulácie boli prevedené v programovom balíku CADENCE.

KLÚČOVÉ SLOVÁ

CMOS, prevodník DA, návrh, operačný zosilňovač

ABSTRACT

This bachelor thesis deals with design digital to analog converter, the parameters of DAC are described inside the thesis. The thesis contains basic structures of the DAC and their transfer functions. For the design was chosen structure with a R2 R resistor network. Design and simulation were made in program package CADENCE. The circuit was designed using technology I2T100.

KEYWORDS

CMOS, DAC, design, operational amplifier

KLIMENT, F. Návrh převodníku DA v technologii CMOS
Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních
technologií. Ústav mikroelektroniky, 2016. 47 s., 3 s. příloh. Bakalářská práce. Vedoucí
práce: Ing. Vilém Kledrowetz, Ph.D.

PREHLÁSENIE

Prehlasujem, že som svoju bakalársku prácu na tému Návrh převodníku DA v technologii CMOS vypracoval samostatne pod vedením vedúceho bakalárskej práce, s využitím odbornej literatúry a ďalších informačných zdrojov, ktoré sú všetky citované v práci a uvedené v zozname literatúry na konci práce.

Ako autor uvedenej bakalárskej práce ďalej prehlasujem, že v súvislosti s vytvorením tejto bakalárskej práce som neporušil autorské práva tretích osôb, najmä som nezasiahol nedovoleným spôsobom do cudzích autorských práv osobnostných a/nebo majetkových a som si plne vedomý následkov porušenia ustanovenia S11 a nasledujúcich autorského zákona č. 121/2000Sb., o právu autorskom, o právach súvisajúcich s právom autorským a o zmene nektorých zákonov (autorský zákon), vo znení neskorších predpisov, vrátane možných trestnoprávných dôsledkov vyplývajúcich z ustanovenia časti druhej, hlavy VI. diel 4 Trestného zákoníka č.40/2009 Sb

V Brne dňa

.....

(podpis autora)

Pod'akovanie

Ďakujem vedúcemu bakalárskej práce Ing. Vilémovi Kledrowetzovi, PhD. za odborné konzultácie, poskytnutie pracovných materiálov, odbornú pomoc a cenné rady pri vypracovaní mojej bakalárskej práce.

V Brne dňa

.....

(podpis autora)

Obsah

Úvod	8
1 Digitálno analógový prevodník	9
1.1 Parametre prevodníka DA	9
1.1.1 Statické chyby	10
1.2 Štruktúry prevodníkov DA	12
1.2.1 Odporová sieť	13
1.2.2 Prevodník DA pracujúci s termometrickým kódom	14
1.2.3 Prevodník DA s binárne váhovými odpormi	14
1.2.4 Prevodník DA typu R2 – R	15
1.2.5 Binárne váhové kapacity	16
1.2.6 Prevodník DA s váhovými prúdovými zdrojmi	17
2 Technológia CMOS	18
2.1 Unipolárne tranzistory	18
2.2 Tranzistor MOS	18
2.3 Základné parametre tranzistoru MOS	20
3 Návrh prevodníku DA na tranzistorovej úrovni	22
3.1 Návrh odporov do odporovej siete R2 – R	22
3.2 Návrh operačného zosilňovača	23
3.2.1 Návrh prvého stupňa OZ	24
3.2.2 Návrh druhého stupňa OZ	25
3.2.3 Minimálny zaťažovací odpor operačného zosilňovača	26
3.2.4 Parametre navrhnutého operačného zosilňovača	27
3.3 Návrh referenčných zdrojov	28
3.3.1 Referenčný prúdový zdroj	28
3.3.2 Referenčný napäťový zdroj pre napätie 4,5 V	30
3.3.3 Referenčný napäťový zdroj pre napätie 2,5 V	30
3.3.4 Referenčný napäťový zdroj pre napätie 0,5 V	31
3.3.5 Funkčnosť zdrojov referenčného napätia	33
3.4 Návrh spínačov	33
4 Simulácie navrhnutého prevodníku DA	36
4.1 Prenosová funkcia navrhnutého prevodníku DA	36

4.2	Integračná a diferenciálna nelinearita	36
4.3	Doba prevodu.....	37
4.4	Minimálny odpor záťaže operačného zosilňovača pre referenčného napätia 38	
4.5	Parametre prevodníku DA	39
Záver		40
Literatura		41
Zoznam symbolov, veličín a zkratiek		42
Zoznam obrázkov		44
Zoznam tabuliek		46
Zoznam príloh		47

ÚVOD

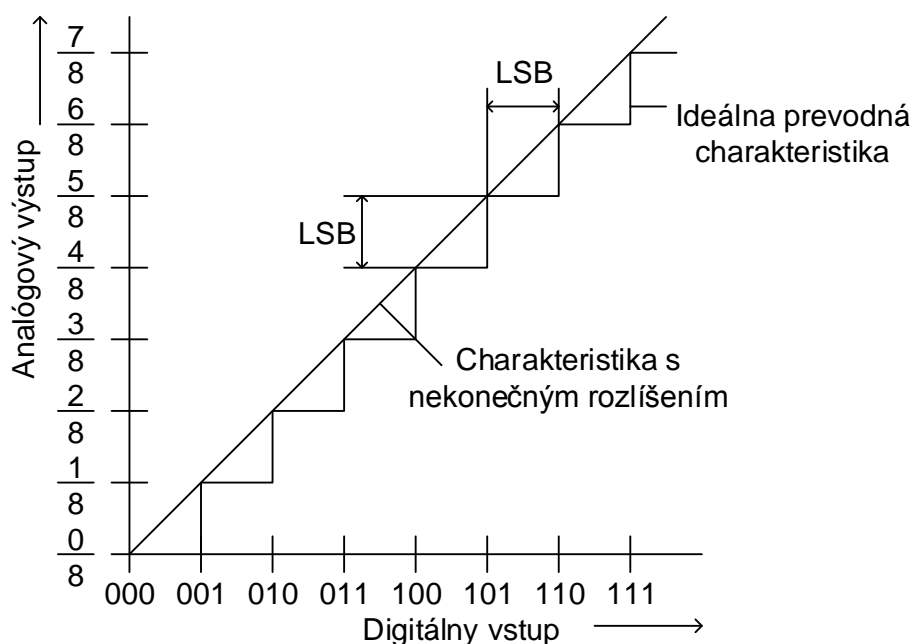
Komunikácia medzi elektrickými prístrojmi prebieha prenosom signálov, či už bezdrôtovo alebo po vedení. Signály sa rozdeľujú na analógové a digitálne, analógové signály sa dajú vyjadriť pomocou časovo spojitej funkcie, naopak digitálny, alebo tiež nazývaný číslicový, signál je množinou diskretných hodnôt. Analógové signály sú najčastejšie používané pri prenosoch dát, hlavne pri bezdrôtových, alebo pri výstupoch prístrojov. Pre uchovanie signálov sa najčastejšie využíva digitálna forma.

Tieto signály je možné medzi sebou prevádzať, pre tieto prevody sa používajú prevodníky. Analógovo digitálne prevodníky sú väčšinou umiestňované na vstup elektrických prístrojov kde prevádzajú vstupné analógové signály zo senzorov alebo prijímačov na digitálne dáta, digitálne analógové prevodníky sa naopak umiestňujú na výstup prístrojov kde prevádzajú dáta na analógový signál privedený buď na vysieláč alebo výstupný spotrebič.

Cieľom tejto bakalárskej práce je zoznámiť sa s problematikou prevodníkov DA, ich návrhom a navrhnuť prevodník DA v technológii I2T100 v programovom balíku Cadence, kde sa simuláciami overí správnosť jeho funkcie a jeho parametre.

1 DIGITÁLNO ANALÓGOVÝ PREVODNÍK

Prevodník DA predstavuje limitovaný počet diskretných digitálnych vstupných kódov odpovedajúcich diskretným analógovým výstupom. Prenosová funkcia prevodníku DA radom diskretných bodov ako je znázornené na Obr. 1.1. Hodnota jedného LSB, pri prevodníkoch DA, zodpovedá výške každého kroku po sebe idúcich hodnôt na výstupe. Prevodník DA si možno predstaviť ako digitálne riadený potenciometer, ktorého výstupné napätie je podiel referenčného napätia [1] [2].



Obr. 1.1: Ideálna prevodová charakteristika prevodníku DA

1.1 Parametre prevodníka DA

- **Rozlíšenie** - parameter určuje počet výstupných napäťových úrovní, ktoré dokáže prevodník DA vytvoriť, napríklad 8 bitový prevodník DA dokáže vytvoriť $2^8 = 256$ rôznych napäťových úrovní. Rovnica 1.1 popisuje výpočet rozlíšenia[2].

$$RSL = 2^N, \quad (1.1)$$

kde: N je počet bitov prevodníku DA.

- **FSR (full scale range)** - plný rozsah škály je rozdiel medzi minimálnou a maximálnou analógovou výstupnou hodnotou, ktorá je v prevodníku DA špecifikovaná, najčastejšie býva najmenšia kódová 0 a maximálna 2^N . Plný rozsah prevodníku sa počíta podľa rovnice 1.2, [2]

$$FSR = U_{ref} \frac{(2^N - 1)^2}{2^N}, \quad (1.2)$$

kde: U_{ref} je referenčné napätie pre daný prevodník[V].

- **LSB (least significant bit)** - bit s najnižšou váhou, vytvára najnižšiu úroveň výstupného signálu. Veľkosť výstupného signálu LSB je možné vypočítať rovnicou 1.3, [2]

$$LSB = \frac{U_{ref}}{2^N}, \quad (1.3)$$

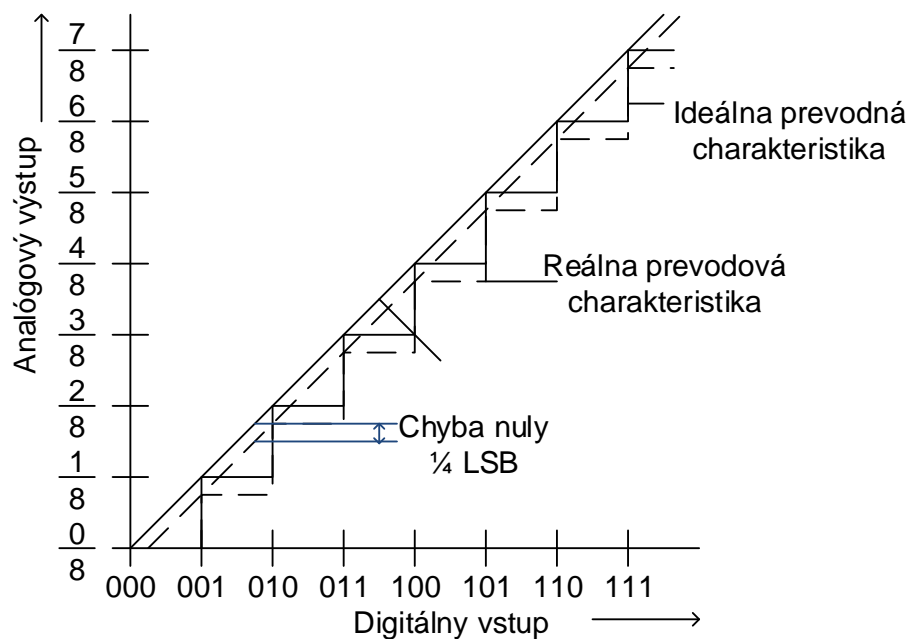
$$FSR = \frac{U_{ref1} - U_{ref}}{2^N}, \quad (1.4)$$

rovnica 1.4 platí pri použití druhého referenčného napätia namiesto zeme.

- **Maximálny prevodová rýchlosť** - je maximálny kmitočet vstupného digitálneho signálu prevodníku DA[2].
- **Doba prevodu** - je čas potrebný pre dosiahnutie konečnej výstupnej hodnoty a zostať v rozsahu $\pm LSB$ po prekročení[2].

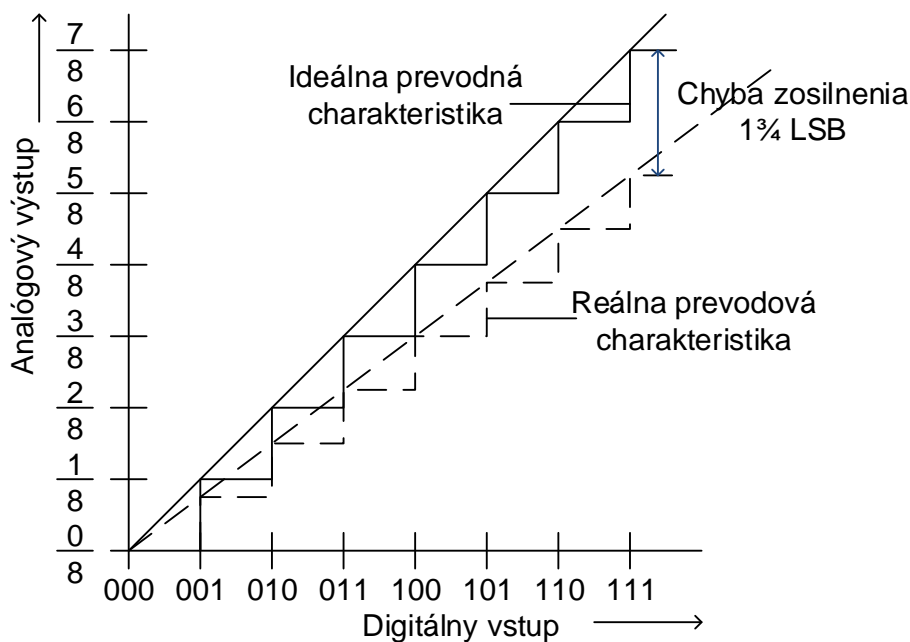
1.1.1 Statické chyby

Chyba nastavenia nuly - táto chyba je definovaná ako rozdiel medzi ideálnym a reálnym výstupom keď sa nulový digitálny kód privedie na vstup. Táto chyba ovplyvňuje kód stálou hodnotou a môže byť opravená napríklad trímovacím procesom, keď nie je trímovanie možné táto chyba sa označuje ako chyba nulového rozsahu. Na Obr. 1.2 je prenosová funkcia chyby nuly $\frac{1}{4} LSB$ oproti nule ideálnej prenosovej funkcii prevodníku DA[2] [3].



Obr. 1.2: Prenosová funkcia s chybou nuly $\frac{1}{4}$ LSB

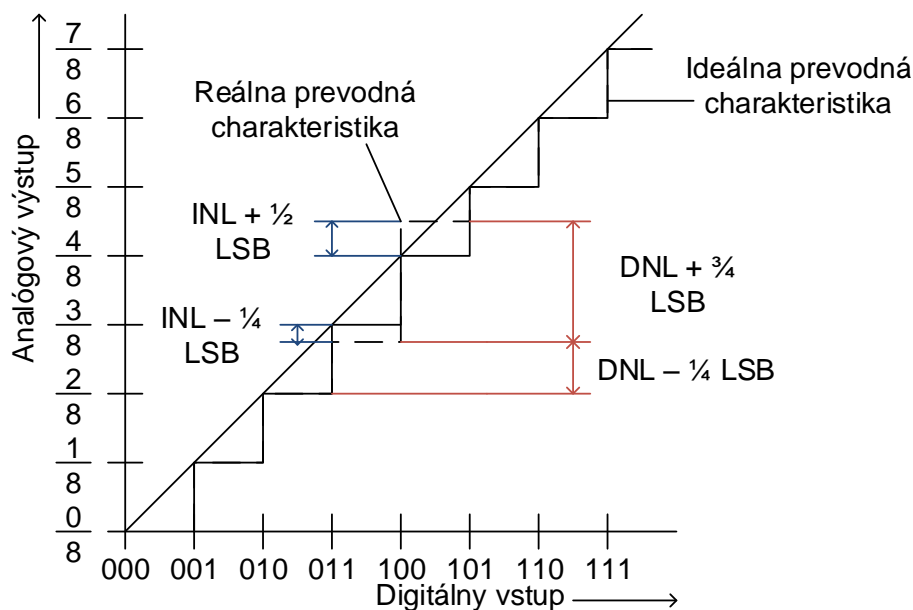
Chyba zosilnenia - je definovaná ako rozdiel medzi nominálnymi a reálnymi hodnotami v prevodnej funkcii, po korekcii nesymetrie na nulu. Je to hodnota kroku keď číslcový vstup je v maximálnej hodnote. Táto chyba je percentuálne rovnaká v každom kroku. Prevodovú charakteristiku s chybou zosilnenia $1,75 \text{ LSB}$ možno vidieť na Obr. 1.3. [2] [3].



Obr. 1.3 Prevodová charakteristika s chybou zosilnenia

Diferenciálna nelinearita DNL (differential nonlinearity) - je rozdiel medzi reálnou výškou kroku a ideálnou. Udáva sa v LSB. Keď diferenciálna nelinearita prekročí hodnotu jedného LSB, je tam možnosť, že prevodník bude nemonotónny. Na Obr. 1.4 je prevodová charakteristika s chybami DNL $\frac{3}{4}$ LSB a $-\frac{1}{4}$ LSB [2] [3].

Integračná nelinearita INL (integral nonlinearity) - je odchýlka hodnôt reálnej prenosovej funkcie od priamej čiary, táto čiara môže byť koncipovaná, tak aby sa minimalizovali tieto odchýlky, alebo čiara medzi koncovými bodmi prevodovej funkcie. Na Obr. 1.4 je prevodová charakteristika s chybami INL $\frac{1}{2}$ LSB a $-\frac{1}{4}$ LSB [2] [3].



Obr. 1.4: Prevodová charakteristika s chybou INL a DNL

1.2 Štruktúry prevodníkov DA

Existuje viacero štruktúr prevodníkov DA, z nich má každá iné vlastnosti a používa sa pri iných aplikáciách. Základné štruktúry sú spomenuté v tabuľke 1.1 spolu s ich základnými parametrami, vlastnosťami a ich využitím. V nasledujúcich podkapitolách sú detailnejšie popísané.

Tabuľka 1.1: Prehľad štruktúr prevodníkov DA a ich vlastností[4]

Štruktúra	Kmitočet	Počet bitov	Vlastnosti
R2-R	až 10 MHz	6 – 12	Malé rozmery, nízka spotreba
Odporová sieť	až 1 MHz	6 – 12	Malé rozmery, nízka spotreba
Prevodník DA pracujúci s termometrickým kódom	až 400MHz	8 – 12	Vysoká rýchlosť
Delta sigma	100 kHz až 10 MHz	18 – 24	Vysoká rozlišovacia schopnosť

1.2.1 Odporová sieť

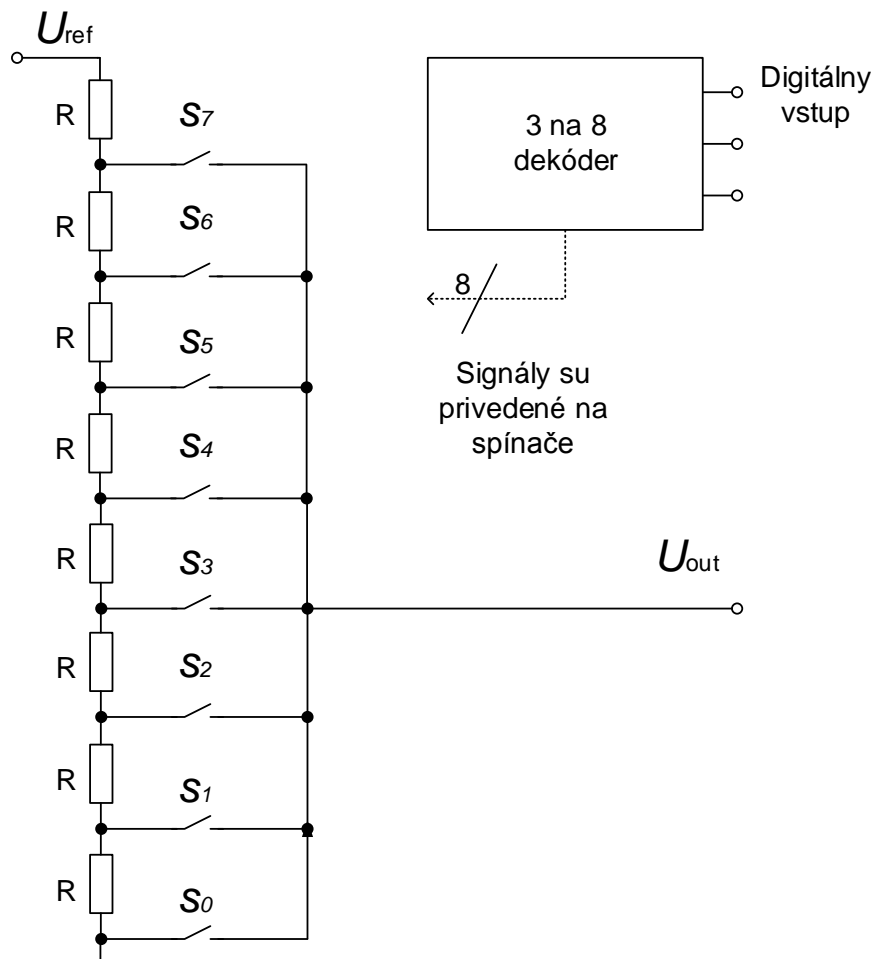
Najjednoduchšia štruktúra prevodníka DA s napäťovým výstupom je na Obr. 1.5. Prevodník DA s N -bitovým rozlíšením je zostavený z 2^N rovnakých odporov v sérii a 2^N spínačov, každý je umiestnený medzi uzlom v odporovej sérii a výstupným uzlom prevodníku DA. Počas prechodu do iného stavu menia sa len stavy dvoch spínačov. Vstupný binárny kód je potrebné dekódovať na kód 1 z n (v anglickej literatúre One Hot), ktorý sa privedie na vstupy spínačov. Výhodou tejto architektúry je rýchla implementačná rýchlosť, ale jej nevýhodou je, že jej odporová sieť zaberie veľmi veľkú plochu. Výstupné napätie prevodníku je popísané rovnicou 1.4. [4] [5]

$$U_{out} = \frac{R \cdot (2^N + IN_{DEC})}{R \cdot 2^N}, \quad (1.5)$$

kde: R je veľkosť odporov [Ω],

IN_{DEC} je vstupný binárny kód prevedený do decimálnej sústavy,

N je bitové rozlíšenie prevodníku DA.

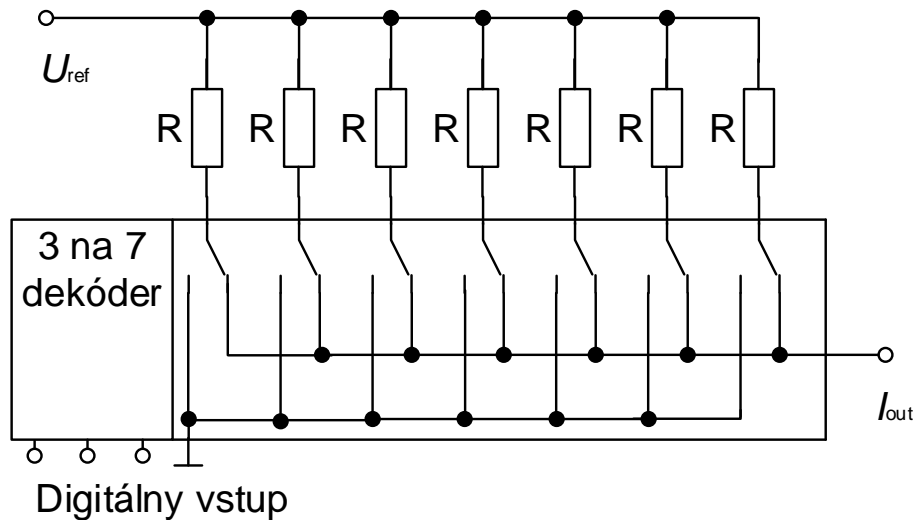


Obr. 1.5: Prevodník DA s odporovou sieťou

1.2.2 Prevodník DA pracujúci s termometrickým kódom

Tento typ prevodníku DA generuje výstupné napätie, alebo prúd podľa počtu zopnutých spínačov. Na Obr. 1.6 sú všetky spínače zopnuté, ktoré sú riadené pomocou vstupného binárneho kódu. So zvyšujúcou hodnotou binárneho kódu sa postupne spínajú spínače, dôsledkom toho rastie napätie alebo prúd na výstupe. Vstupný binárny kód sa musí dekodovať na termometrický kód. N -bitový prevodník obsahuje 2^{N-1} spínačov a 2^{N-1} odporov alebo prúdových zdrojov rovnakej hodnoty. Jeho výhodou je vysoká rýchlosť ale pre vysoké rozlíšenie musí obsahovať veľké množstvo spínačov a odporov alebo prúdových zdrojov. Výstupný prúd sa vypočíta rovnicou 1.5.[4][5]

$$I_{out} = \frac{(R^{-1} \cdot IN_{DEC})^{-1}}{U_{ref}}, \quad (1.5)$$



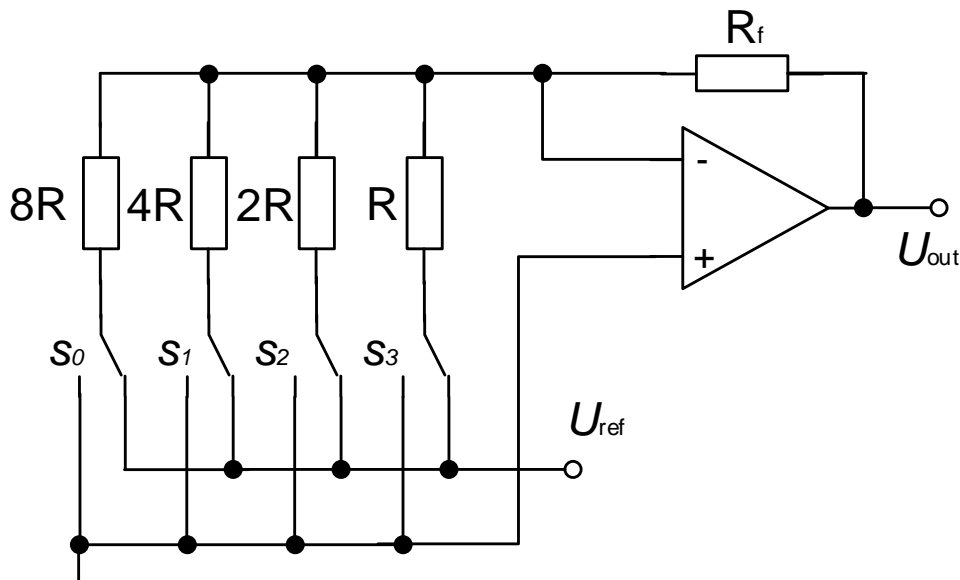
Obr. 1.6: Prevodník DA pracujúci s termometrickým kódom

1.2.3 Prevodník DA s binárne váhovými odpormi

Obvod tohto prevodníku DA, zobrazený na Obr. 1.7, je variáciou invertujúceho sumačného zapojenia OZ, s rozdielnymi vstupnými odpormi. Každý odpor má dvojnásobnú hodnotu ako ten predchádzajúci. Na vstupné odpory je privedené referenčné napätie po zopnutí spínačov. Každý spínač je riadený inou bitovou pozíciou. Veľkosť výstupného napätia je popísaná rovnicou 1.6. Tento prevodník DA je obtiažne zostrojiť s veľkým rozlíšením, keďže je za potreby pri N -bitovom prevodníku N rôznych hodnôt odporov. Neskôr sa namiesto odporov na čipoch začali používať spínané kapacity z dôvodu menších rozmerov a nižšej ceny výroby čipu. Výstupná impedancia závisí na vstupnom kóde. [4][5]

$$U_{out} = -U_{ref} \cdot \frac{R_f}{R} \sum_{i=0}^{N-1} \frac{b_{(i)}}{2^i}, \quad (1.6)$$

kde: R_f je hodnota odporu v spätnej väzbe,
 $b_{(i)}$ je hodnota bitu na pozícii i .

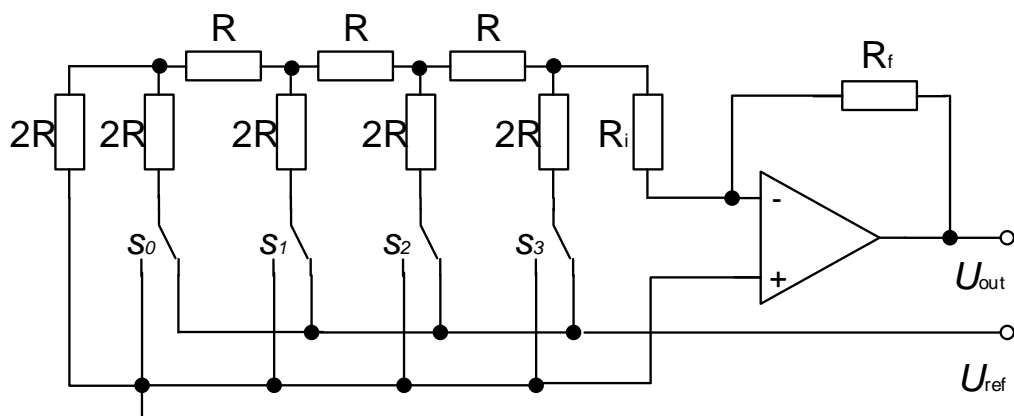


Obr. 1.7: Prevodník DA s binárne váženými odporami

1.2.4 Prevodník DA typu R2 – R

Jedna z najviac používaných architektúr prevodníkov DA, skladá sa z R2 – R odporovej siete. Jeho výhodou oproti binárne váhovým odporom je, že sa používajú len dve hodnoty odporov. Je potrebné použiť dvojnásobný počet odporov. V napäťovom režime sú vetvy siete prepínané medzi zemou a referenčným napätím. Toto zapojenie je možné si predstaviť ako operačný zosilňovač v invertujúcom zapojení so vstupným odporom $R + R_i$ a odporom spätnej väzbe R_f , vstupné napätie bude predstavovať súčet napäťových hladín bitov s logickou hodnotou 1. Výstupné napätie sa vypočíta rovnicou 1.7. Spínače musia pracovať v maximálnom napäťovom rozsahu, na Obr. 1.8 je to od zeme až po referenčné napätie. Výstupná impedancia je nezávislá na vstupnom kóde, čo uľahčuje stabilizáciu zosilňovača pripojeného na výstupný uzol. Spínače musia pracovať v širokom rozsahu napätí. Výstupný odpor napäťovej referencie je závislý na vstupnom kóde. [4] [5]

$$U_{out} = -U_{ref} \cdot \frac{R_f}{R_i} \sum_{i=0}^{N-1} \frac{b_{(i)}}{2^{N-1-i}}, \quad (1.7)$$

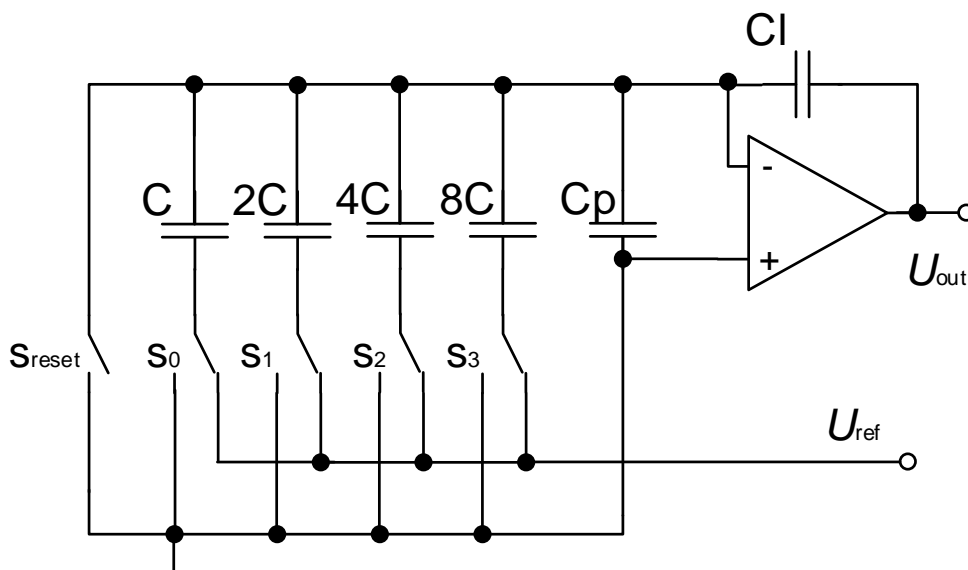


Obr. 1.8: Prevodník DA s odporovou sieťou R2 - R

1.2.5 Binárne váhové kapacity

Prevodník DA pracuje na základe napäťového delenia kapacitami. Táto štruktúra je v poslednej dobe široko používaná. N -bitový prevodník obsahuje $N + 1$ kapacít a prepínačov. Kapacity sú zapojené paralelne. Spínače v závislosti na vstupnom kóde prepínajú medzi referenčným napätím a zemou. Operačný zosilňovač pomáha eliminovať parazitnú kapacitu vytvorením virtuálnej zemi na citlivom uzle. Táto štruktúra vyobrazená na Obr. 1.9 má vysokú rýchlosť prevodu, ale je nemonotónna a má vysoký rozsah hodnôt kapacít [4][5][6][7].

$$U_{out} = -\frac{U_{ref}}{2^N} \cdot \sum_{i=0}^{N-1} b_{(i)} \cdot 2^i, \quad (1.8)$$

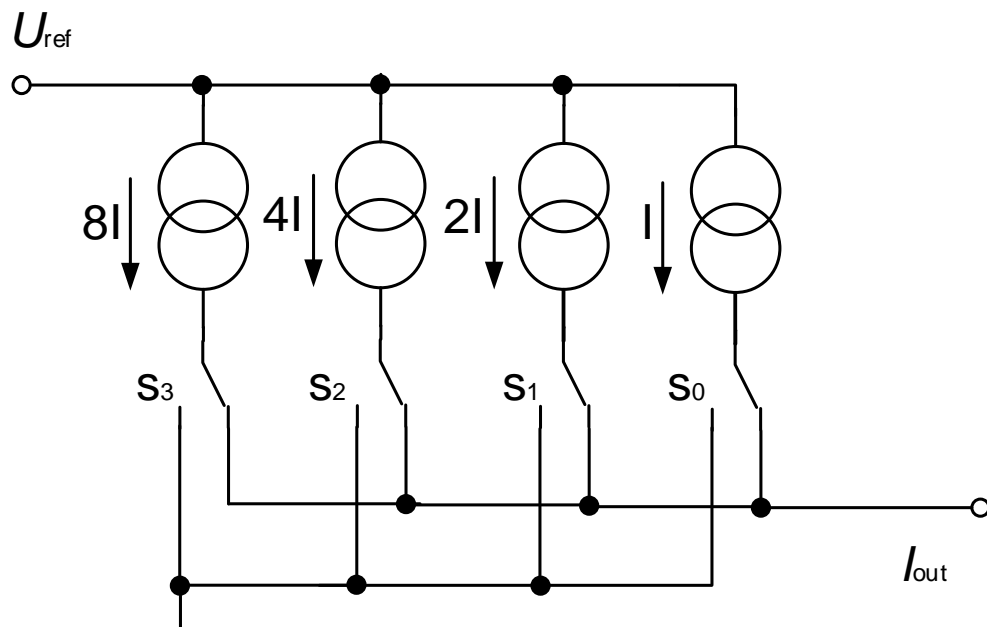


Obr. 1.9: Prevodník DA s binárne váhovými kapacitami

1.2.6 Prevodník DA s váhovými prúdovými zdrojmi

Prevodníky DA sa skladajú z prúdových zdrojov, ktorých prúd má hodnotu dvakrát takú ako predchádzajúci. Schéma zapojenia je na Obr. 1.10. Spínače podľa vstupného kódu prepúšťajú prúd zo zdrojov na zem alebo do výstupného uzla. Veľkosť prúdu vytekajúceho z výstupného uzlu je popísaná rovnicou 1.9. Pre správnu činnosť je potrebná vysoká výstupná impedancia prúdových zdrojov, preto sa používajú v integrovaných obvodoch ako prúdové zdroje kaskodové prúdové zrkadlá, kvôli ich vysokému výstupnému odporu. Podľa vstupného binárneho kódu sa zopnú spínače tak, aby bolo zaistené, že obidve vetvy spínača nemôžu byť vypnuté[4][5][6].

$$I_{out} = \sum_{i=0}^{N-1} I_{(i)} \cdot b_{(i)}, \quad (1.9)$$



Obr. 1.10: Prevodník DA s binárne váhovými zdrojmi

2 TECHNOLOGIA CMOS

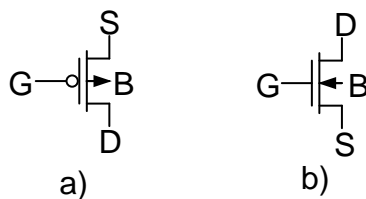
Technológia CMOS (Complementary metal-oxid-semiconductor, dopĺňujúci sa kov-oxid-polovodič) sa používa na výrobu integrovaných obvodov. Táto technológia sa najčastejšie používa v mikroprocesoroch, mikrokontroléroch, pamätiach, obrazových senzoch, iných digitálnych obvodoch a mnoho analógových obvodoch. Zariadenia fungujúce na technológii CMOS sú charakteristické najmä nízkym šumom a nízkou spotrebou energie[8] .

2.1 Unipolárne tranzistory

Unipolárny tranzistor je aktívna polovodičová súčiastka. Unipolárny znamená, že prenášaný náboj v tranzistore je uskutočnený len jednými nosičmi náboja, pričom pri bipolárnych tranzistoroch prenášajú náboj aj minoritné nosiče. Ich hlavnou výhodou je vysoký vstupný odpor, preto tečie vstupným obvodom prúd ekvivalentný prúdu diódy v nepriepustnom smere alebo ním tečie prakticky nulový prúd, takže je riadený pomocou napätia, vďaka čomu dostali pomenovanie tranzistory riadené elektrickým poľom(Field-Efect transistors, FET).

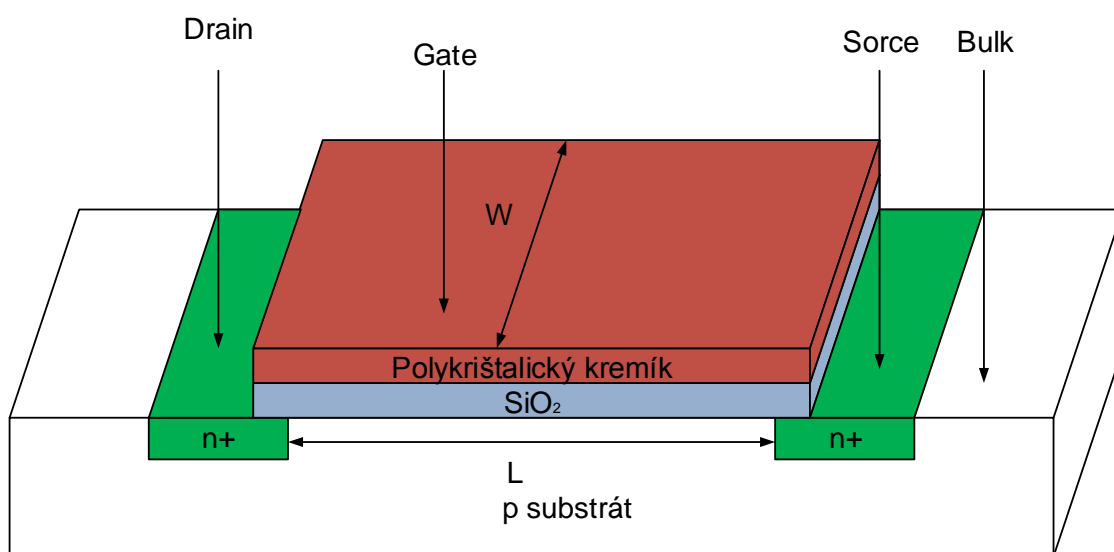
2.2 Tranzistor MOS

Tranzistor MOS (Metal-Oxide-Semiconductor) patrí medzi tranzistory riadené elektrickým poľom. Je to súčiastka so štyrmi vývodmi, gate (G), drain (D), source (S) a bulk (B). Napätie medzi gate a source riadi vodivosť kanálu medzi drain a source. Schematická značka je na Obr. 2.1.



Obr. 2.1: Schematické značky pre MOSFET

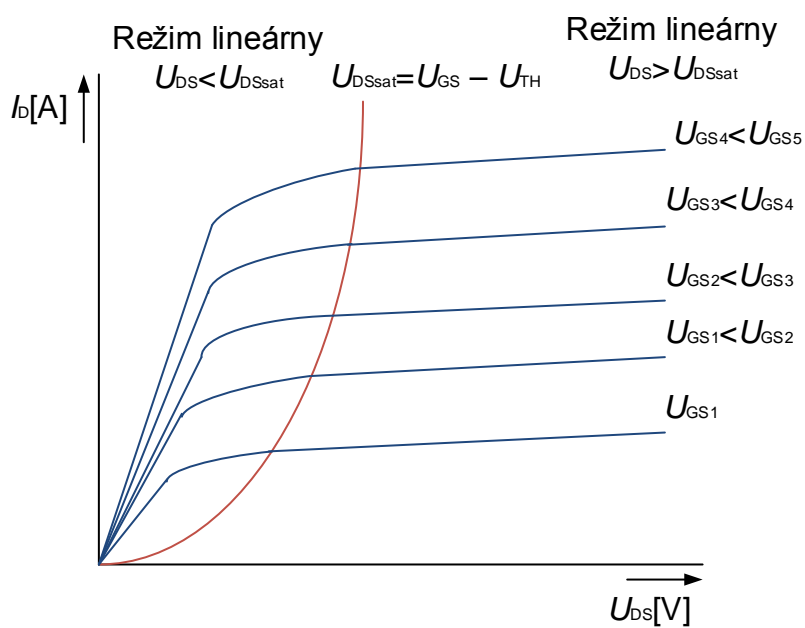
Tranzistor MOS je vyrobený na dotovanom substráte, elektródy drain a source sú oblasti vzniknuté dotovaním pomocou difúzie prímiesami opačného typu. Elektróda gate vyrobená depozíciou polykryštalického kremíku je umiestnená medzi drain a source, od substrátu ju izoluje oxid kremičitý. K užitočnej činnosti zariadenia dochádza v oblasti substrátu pod gate, Obr. 2.2 kde je zobrazený rez tranzistorom typu N[9].



Obr. 2.2: Štruktúra tranzistoru MOS

Dĺžka kanálu (L) – vzdialenosť medzi drainom a sourceom.

Šírka kanálu (W) – kolmá vzdialenosť k dĺžke kanálu.



Obr. 2.3: Výstupná charakteristika tranzistoru NMOS

Obr. 2.3 zobrazuje volt ampérovú charakteristiku tranzistoru NMOS, ktorá sa rozdeľuje na dve časti. Pri nízkom napätí medzi drain a source U_{DS} tranzistor pracuje v lineárnom režime, zvyšujúcim napätím U_{DS} sa zvyšuje prúd, ktorý ním preteká. Po dosiahnutí určitej hladiny napätia prúd prestáva rásť a tranzistor prechádza do režimu saturácie[9].

Po pripojení prahového napätia na gate sa pod elektródou gate vytvorí vodivý kanál medzi drain a source. Prúd prechádzajúci tranzistorom I_D je závislý na napätí U_{GS} a U_{DS} . V režime lineárnom sa tranzistor správa ako napätím riadený rezistor. V režime saturácie cez tranzistor preteká prúd nezávislý na napätí medzi drain a source, čo sa využíva hlavne u zosilňovačov ako aktívna záťaž[9].

2.3 Základné parametre tranzistoru MOS

Prahové napätie U_{TH} - je napätie privedené na gate pri ktorom sa začína vytvárať vodivý kanál medzi elektródami drain a source. Rovnicou 2.1 sa vypočíta napätie U_{TH0} , čo je prahové napätie pri spojenom bulk a source, preto napätie U_{BS} je 0 V, toto napätie sa počíta rovnicou 2.1,[9][10]

$$U_{TH0} = U_{FB} + 2|\Phi_F| + \frac{\sqrt{2qN_{SUB}\epsilon_{SI}2|\Phi_F|}}{C_{OX}}, \quad (2.1)$$

- kde: Φ_F potenciál pri povrchu substrátu [V-1],
 U_{FB} flatband napätie [V],
 q elementárny elektrický náboj [C],
 N_{SUB} dotácia substrátu [m-3],
 ϵ_{Si} permitivita kremíka [F/m],
 C_{OX} parazitná kapacita gate oxidu [F/m].

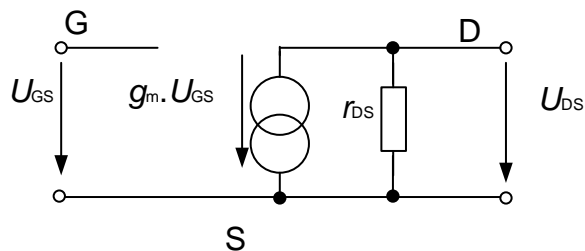
Transkonduktančný Parameter KP - je konštanta pre danú technológiu, je závislý na rýchlosti nosičov náboja, permitivite oxidu a jeho hrúbke, vzťah pre jeho výpočet je v rovnici 2.5, [9]

$$KP = \frac{\epsilon_{OX} \cdot \mu_0}{t_{OX}} \quad (2.2)$$

- Kde: t_{OX} hrúbka oxindu [m],
 ϵ_{OX} permitivita oxidu kremičitého [F/m],
 μ_0 pohyblivosť nosičov náboja v kanále [m²V⁻¹s⁻¹].

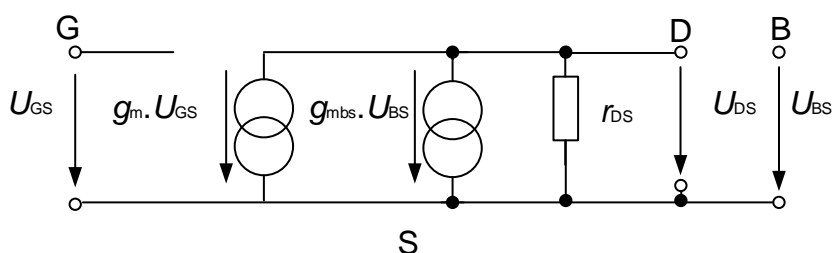
Parameter modulácie dĺžky kanálu λ – udáva zmenu dĺžky kanálu v závislosti na napätí a dĺžke kanálu[9].

Na výpočet parametrov tranzistoru sa používa málosignálový model, ktorý je na Obr. 2.4.



Obr. 2.4: Malosignálový model tranzistoru MOS so spojeným bulk a source

Často sa však používa zapojenie tranzistoru MOS s nespojenými elektródami bulk a source. Pri tomto zapojení nie je možné použiť predchádzajúci model, ale musí sa použiť model na Obr. 2.5.



Obr. 2.5: Malosignálový model tranzistoru MOS s nespojeným bulk a source

Transkonduktancia g_m - udáva zmenu prúdu I_D v závislosti na napätí U_{GS} pri konštantnom napätí U_{DS} , vzťah pre výpočet transkonduktancie je v rovnici 2.1, [9]

$$g_m = KP \frac{W}{L} (U_{gs} - U_{th}) = \sqrt{2KP \frac{W}{L} I_D} \quad (2.3)$$

- kde: KP transkonduktanční parameter [A/V²],
 W/L pomer dĺžky a šírky kanálu tranzistoru [-],
 U_{GS} napätie medzi gate source [V],
 U_{TH} prahové napätie tranzistoru [V],
 I_D prúd cez drain [A].

Saturačný prúd cez drain I_{Dsat} - je prúd tečúci cez drain pri napätí väčšom ako $U_{DSsat}=(U_{GS}-U_{TH})$, pre výpočet tohto prúdu platí rovnica 2.2, [9]

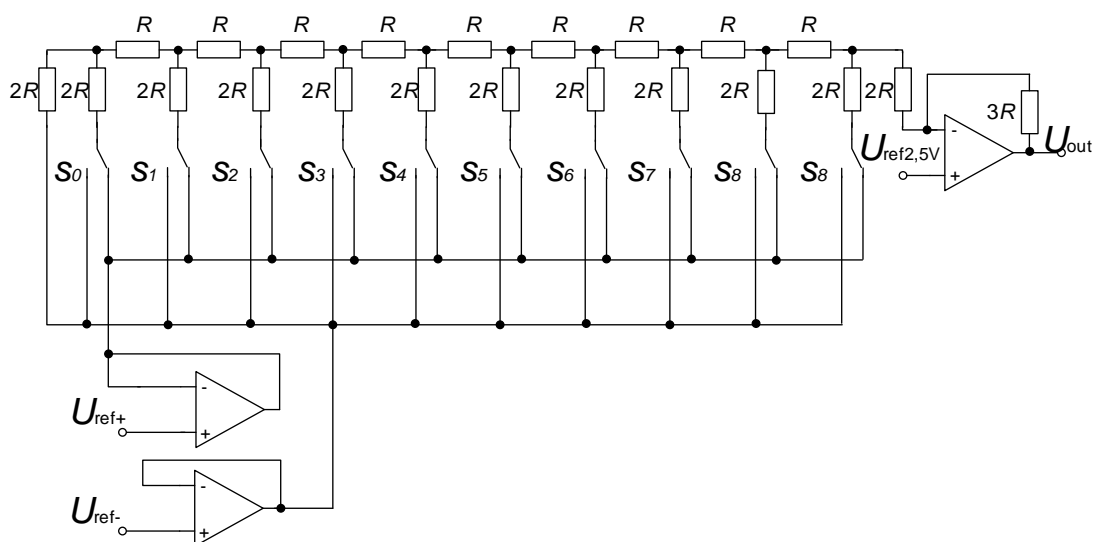
$$I_D = \frac{1}{2} KP \frac{W}{L} (U_{GS} - U_{TH})^2. \quad (2.4)$$

Výstupný odpor r_{out} - je odpor medzi drain a source, v režime saturácii, je definovaný rovnicou 2.4[9].

$$r_{out} = \frac{1}{\lambda \cdot I_D} \quad (2.5)$$

3 NÁVRH PREVODNÍKU DA NA TRANZISTOROVEJ ÚROVNI

V nasledujúcich podkapitolách je popísaný návrh 10-bitového prevodníku DA s odporovou sieťou $R2 - R$ na tranzistorovej úrovni. Na obr. 3.1 je zapojenie navrhovaného prevodníku



Obr. 3.1: Schéma navrhnutého prevodníku DA

3.1 Návrh odporov do odporovej siete $R2 - R$

Pre tento návrh je potrebné vedieť napäťovú hladinu jedného *LSB*. Pri 10-bitovom prevodníku DA a referenčných napätiach 0,5 V a 1,5 V hodnota *LSB* bola vypočítaná z rovnice 3.1.

$$LSB = \frac{U_{ref4,5} - U_{ref0,5}}{2^N} = \frac{4,5 - 0,5}{2^{10}} = 3,90625 \text{ mV}. \quad (3.1)$$

Následne bola vypočítaná maximálna chyba súbehu σ_R podľa rovnice 3.2. V tejto rovnici bolo vypočítané o koľko percent sa môže zmeniť jeden odpor oproti druhému tak, aby na výstupe deliča bolo výstupné napätie s maximálnou odchýlkou $\frac{1}{2} LSB$.

$$\frac{U}{2} + \frac{LSB}{2} = U \frac{R}{2 \cdot R + \sigma_R \cdot R} \Rightarrow \sigma_R = \frac{2 \cdot U}{U + LSB} - 2 = \frac{2 \cdot 2}{2 + 3,90625 \text{ mV}} - 2 = 0,389 \%. \quad (3.2)$$

Z výsledku výpočtu bolo zistené, že maximálna chyba súbehu môže byť maximálne 0,195 %. Táto hodnota bola dosadená do rovnice 3.3 na výpočet plochy odporu vo vrstve HIPOR (high ohmic polycrystalline resistor). V rovnici sa vyskytuje

koeficient súbehu A , ktorý má hodnotu $2,45 \text{ } \mu\text{m}$.

$$(\sigma_R)^2 = \frac{A^2}{W \cdot L} + C^2 \Rightarrow W \cdot L = \frac{A^2}{(\sigma_R)^2 - C^2} = \frac{2,45^2}{0,195^2} = 39,46 \text{ } \mu\text{m} \quad (3.3)$$

Pri výpočte veľkosti odporu bola zvolená šírka odporu $W = 2 \text{ } \mu\text{m}$, z čoho následne bola vypočítaná rovnicou 3.4 dĺžka odporu L a počet štvorcov rovnicou 3.5.

$$L = \frac{W \cdot L}{W} = \frac{157,85 \text{ } \mu\text{m}}{2 \text{ } \mu\text{m}} = 19,73 \text{ } \mu\text{m} \quad (3.4)$$

$$N_{\square} = \frac{L}{W} = \frac{78,925}{2} = 9,87 \quad (3.5)$$

Pre technológiu HIPOR pri I2T100 je hodnota odporu na štvorec $1825 \text{ } \Omega/\square$. Z toho bola vypočítaná minimálna hodnota odporu súčinom počtu štvorcov a hodnotou odporu na štvorec, vid' rovnica 3.6.

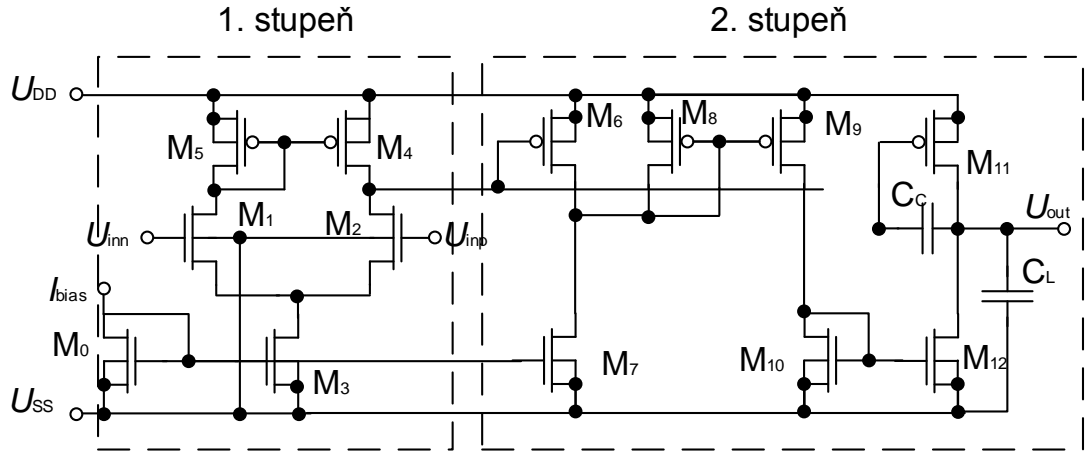
$$R = N_{\square} \cdot R_{\square} = 39,4625 \cdot 1825 = 72005 \text{ } \Omega \quad (3.6)$$

3.2 Návrh operačného zosilňovača

Pri návrhu boli zvolené parametre OZ, ktoré sú uvedené v tabuľke 3.1. Požadované parametre boli nižšie ako použité pri výpočtoch, z dôvodu zjednodušenia vo výpočtov. Na Obr. 3.2 je schéma zapojenia OZ.

Tabuľka 3.1: Požadované parametre OZ

Parameter	Hodnota
GBW [MHz]	10
SR [V/ μ s]	10
C_L [pF]	10
φ_m	60°



Obr. 3.2: Schéma zapojenia operačného zosilňovača

Pre dodržanie fázovej bezpečnosti bola vypočítaná hodnota kompenzačnej kapacity pre fázový posun 60° , podľa nasledujúcich rovníc 3.7 – 3.9:

$$\Phi_m = \pm 180^\circ - \tan^{-1}\left(\frac{\omega}{|p_1|}\right) - \tan^{-1}\left(\frac{\omega}{|p_1|}\right) - \tan^{-1}\left(\frac{\omega}{|z_1|}\right), \quad (3.7)$$

$$\begin{aligned} 120^\circ &= \tan^{-1}\left(\frac{GBW}{|p_1|}\right) + \tan^{-1}\left(\frac{GBW}{|p_2|}\right) + \tan^{-1}\left(\frac{GBW}{|z_1|}\right) \\ &= \tan^{-1}(A_{U0}) - \tan^{-1}\left(\frac{GBW}{|p_1|}\right) - \tan^{-1}(0,1), \end{aligned} \quad (3.8)$$

$$24,3^\circ = \tan^{-1}\left(\frac{GBW}{|p_2|}\right) \Rightarrow |p_2| = 2,2 \cdot GBW. \quad (3.9)$$

Z uvedeného výsledného vzťahu bol vypočítaný minimálny pomer zaťažovacej a kompenzačnej kapacity, zobrazený v nerovnici 3.10,

$$C_C \geq 2,2 \cdot C_L. \quad (3.10)$$

Kompenzačná kapacita bola stanovená na násobok 0,3 veľkosti zaťažovacej kapacity, teda 3 pF.

3.2.1 Návrh prvého stupňa OZ

Pri návrhu vstupného stupňa OZ bol ako prvý vypočítaný prúd tečúci týmto stupňom rovnicou 3.11 zo známych hodnôt rýchlosti priebehu a kompenzačnej kapacity.

$$I = SR \cdot C_C 10^7 \cdot 3 \cdot 10^{-12} = 30 \mu A. \quad (3.11)$$

Pre dosiahnutie požadovaného tranzitného kmitočtu bola vypočítaná minimálna transkonduktancia tranzistorov diferenčného páru, podľa rovnice 3.12.

$$g_{m1} = 2\pi \cdot GBW \cdot C_C = 2\pi \cdot 3 \cdot 10^{-12} \cdot 10^7 = 185,5 \mu S \quad (3.12)$$

Z minimálnej transkonduktancie bol vypočítaný pomer šírky a dĺžky kanálu tranzistorov M_1 a M_2 rovnicou 3.13. NMOS tranzistory boli zvolené pre diferenčný pár pre ich väčší transkonduktančný parameter, preto majú menší rozmer ako PMOS tranzistory.

$$\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = \frac{g_{m1}^2}{KP_N \cdot I_3} = \frac{185,5 \cdot 10^{-6}}{96,3 \cdot 10^{-6} \cdot 30 \cdot 10^{-6}} = 13,1. \quad (3.13)$$

Ako zdroj prúdu pre diferenčný pár bolo zvolené jednoduché prúdové zrkadlo zložené z dvoch rovnakých NMOS tranzistorov pre menšie odchýlky. Jeho rozmery boli vypočítané podľa rovnice 3.14.

$$\left(\frac{W}{L}\right)_3 = \frac{2 \cdot I_3}{KP_N \cdot (U_{DS3sat})^2} = \frac{2 \cdot 30 \cdot 10^{-6}}{96,3 \cdot 10^{-6} \cdot (0,25)^2}. \quad (3.14)$$

Jednoduché prúdové zrkadlo bolo použité ako aktívna záťaž pre diferenčný pár, je zložené z tranzistorov PMOS M_4 a M_5 . Rozmer týchto tranzistorov bol vypočítaný obdobne ako zrkadlo NMOS pre konštantný prúd rovnicou 3.15.

$$\left(\frac{W}{L}\right)_4 = \frac{I_3}{KP_P \cdot (U_{DS4sat})^2} = \frac{30 \cdot 10^{-6}}{30 \cdot 10^{-6} \cdot (0,25)^2} \quad (3.15)$$

3.2.2 Návrh druhého stupňa OZ

Tranzistory M_6 a M_{11} sú zosilňovače druhého stupňa, pričom obidva tranzistory sú napojené na výstup prvého stupňa. Pre dosiahnutie fázovej rezervy 60° transkonduktancia g_{m6} by mala byť desať krát väčšia než g_{m1} podľa nerovnice 3.16. Z tohto sa vypočíta prúd tečúci tranzistorom M_6 , rovnicou 3.17.

$$g_{m6} > 10 \cdot g_{m1}. \quad (3.16)$$

$$I_6 = \frac{g_{m6}(U_{GS6} - U_{TH})}{2} = \frac{10 \cdot 185,5 \cdot 10^{-6} \cdot 0,25}{2} = 235,6 \mu A \quad (3.17)$$

Napätia U_{GS4} , U_{DS5} a U_{GS6} sú rovnako veľké. Z toho vyplýva, že U_{DS4sat} je rovné U_{DS6sat} . Podľa tejto rovnosti možno použiť pre výpočet rovnicu 3.18.

$$\left(\frac{W}{L}\right)_6 = \left(\frac{W}{L}\right)_4 \frac{g_{m6}}{g_{m4}} = 16 \frac{10 \cdot 188,5 \cdot 10^{-6}}{120 \cdot 10^{-6}} = 251,3 \quad (3.18)$$

Pre tranzistor M_{11} bolo potrebné navrhnuť aktívnu záťaž. To bolo realizované pomocou prúdového zrkadla M_{10} a M_{12} , tranzistor M_{10} sa zapojí do diódového režimu, cez tranzistor M_{12} musí tečť prúd s rovnakou veľkosťou ako I_6 . Pre menšie rozmery čipu, bude pomer prúdov I_{10} a I_{12} jedna ku dvom. Rozmery tranzistorov M_9 a M_8 boli vypočítané rovnicami 3.19 a 3.20.

$$\left(\frac{W}{L}\right)_{12} = \frac{2 \cdot I_{11}}{K P_N \cdot (U_{DS12sat})^2} = \frac{2 \cdot 30 \cdot 10^{-6}}{96,3 \cdot 10^{-6} \cdot (0,25)^2} = 78 \quad (3.19)$$

$$\left(\frac{W}{L}\right)_{11} = \frac{2 \cdot I_{11}}{K P_N \cdot (U_{DS12sat})^2} = \frac{2 \cdot 30 \cdot 10^{-6}}{96,3 \cdot 10^{-6} \cdot (0,25)^2} = 39 \quad (3.20)$$

Prúd I_{10} vyteká z prúdového zrkadla M_9 a M_8 , ktoré boli tiež navrhnuté v pomere jedna ku dvom pre menšie rozmery. Rozmery tranzistorov M_9 a M_8 boli vypočítané rovnicami 3.21 a 3.22.

$$\left(\frac{W}{L}\right)_9 = \frac{2 \cdot I_9}{K P_P \cdot (U_{DS3sat})^2} = \frac{2 \cdot 117,8 \cdot 10^{-6}}{30 \cdot 10^{-6} \cdot (0,25)^2} = 125,6 \quad (3.21)$$

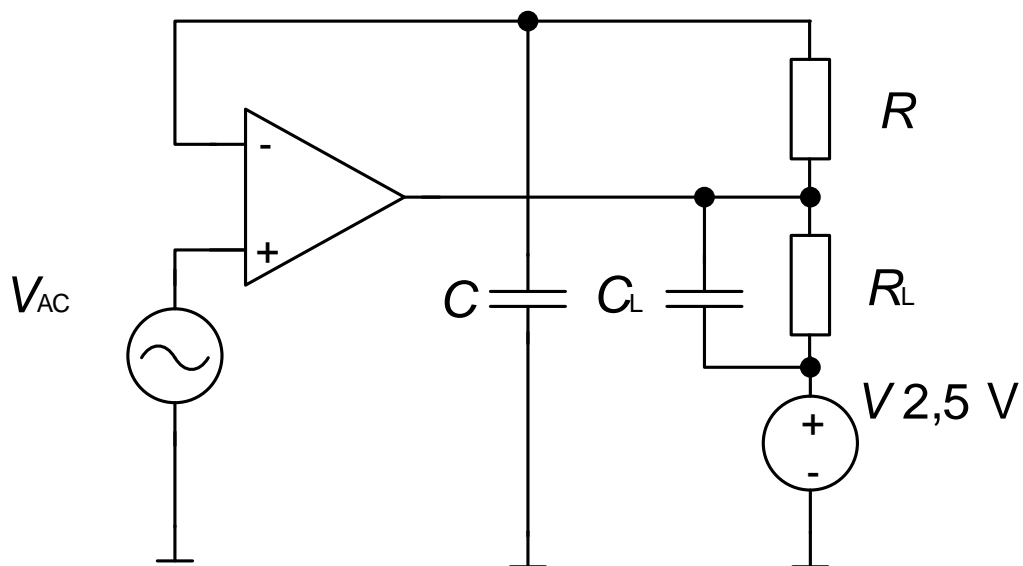
$$\left(\frac{W}{L}\right)_8 = \frac{I_9}{K P_P \cdot (U_{DS3sat})^2} = \frac{117,8 \cdot 10^{-6}}{30 \cdot 10^{-6} \cdot (0,25)^2} = 62,8 \quad (3.22)$$

Tranzistor M_7 je záťažou tranzistoru M_6 a tečú do neho prúdy I_8 a I_6 , pričom jeho gate je napojený na prúdové zrkadlo M_3 M_0 , a preto jeho rozmery boli vypočítané ako súčin rozmeru M_0 a pomeru výstupného prúdu a biasovacieho prúdu, rovnicou 3.23.

$$\left(\frac{W}{L}\right)_7 = \left(\frac{W}{L}\right)_7 \frac{I_6 + I_8}{I_3} = \frac{235,6 \cdot 10^{-6} + 58,9 \cdot 10^{-6}}{30 \cdot 10^{-6}} = 98,2 \quad (3.23)$$

3.2.3 Minimálny zaťažovací odpor operačného zosilňovača

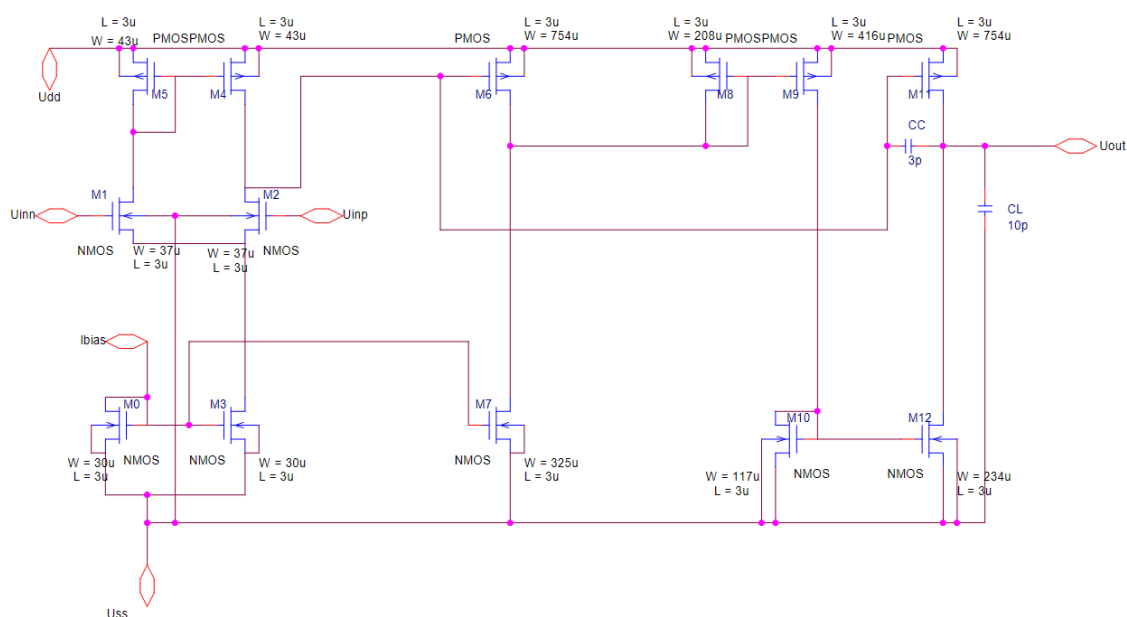
Minimálny zaťažovací odpor bol zapojený oproti napätiu 2,5 V paralelne so zaťažovacou kapacitou 10 pF. Zapojenie použité v simulácii je na Obr. 3.3. Následne bola zistená minimálna veľkosť pri ktorej, neklesne fázová bezpečnosť výstupného napätia pod 45° a maximálne zosilnenie bude väčšie ako 54,185 dB. Operačný zosilňovač bol zapojený v neinvertujúcom zapojení, pričom ako spätná väzba bol použitý článok RC, AC killer, ktorý zaisťuje maximálne zosilnenie. V simuláciách bol zistený minimálny zaťažovací odpor 205 Ω .



Obr. 3.3: Zapojení pre simuláciu minimálneg zaťažovacieho odporu

3.2.4 Parametre navrhnutého operačného zosilňovača

Výsledný obvod navrhnutého operačného zosilňovača je znázornený na Obr. 3.4. Jeho výsledné parametre, ktoré boli overené simuláciami v programe PSpice, sú uvedené v tabuľke č. 3.2.



Obr. 3.4: Schéma navrhnutého OZ s rozmermi tranzistorov

Tabuľka 3.2: Parametre navrhnutého OZ

Parameter	Hodnota
Zosilnenie v otvorenej slučke A_{U0} [dB]	110,2
Tranzitný kmitočet GBW [MHz]	8,829
Fázová bezpečnosť φ_M [°]	64,13
Vstupný napäťový rozsah[V]	0,0020699 - 4,9998
Výstupný napäťový rozsah[V]	0,049779 - 4,9839
Napäťová nesymetria [μ V]	18,9
Spotreba [W]	4,10365
Rýchlosť priebehu [V/ μ s]	9,81
Zosilnenie v otvorenej slučke A_{U0} [dB]	110,2
Tranzitný kmitočet GBW [MHz]	8,829

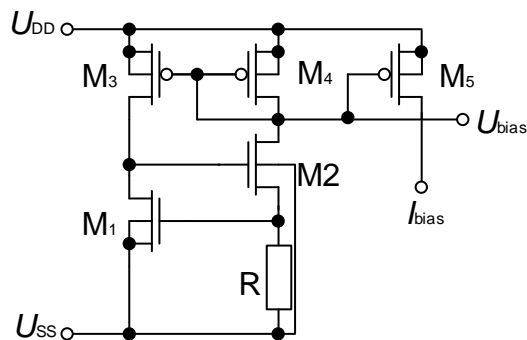
Grafické výsledky simulácií sú umiestnené v prílohe.

3.3 Návrh referenčných zdrojov

Pre správnu činnosť prevodníka DA je potrebné navrhnuť obvody s presnými referenčnými hodnotami napätia a prúdu.

3.3.1 Referenčný prúdový zdroj

Na Obr. 3.5 je vidieť schému zapojenia prúdovej referencie s biasovacím napätím 0,5 V na výstupe a tranzistorom M_5 , ktorým tečie referenčný prúd do operačného zosilňovača 30 μ A.



Obr. 3.5: Schéma zapojenia prúdovej referencie

Napätie na odpore R je rovné napätiu U_{GS1} . Prúdy o veľkosti 50 μ A tečú obidvomi vetvami prúdovej referencie. Hodnota odporu bola zvolená 36 k Ω . Napätie bolo vypočítané rovnicou 3.23.

$$U_{GS1} = I \cdot R = 50 \cdot 10^{-6} \cdot 36 \cdot 10^3 = 1,8 \text{ V} \quad (3.23)$$

Zo známych hodnôt prúdu a napätia U_{GS} pre tranzistory M_1 a M_2 sa vypočíta ich veľkosť rovnicou 3.24.

$$\left(\frac{W}{L}\right)_{1,2} = \frac{2 \cdot I}{K P_N \cdot (U_{GS} - U_{TH})^2} = \frac{2 \cdot 50 \cdot 10^{-6}}{96,3 \cdot 10^{-6} \cdot (1,8 - 0,77)^2} = 0,98 \quad (3.24)$$

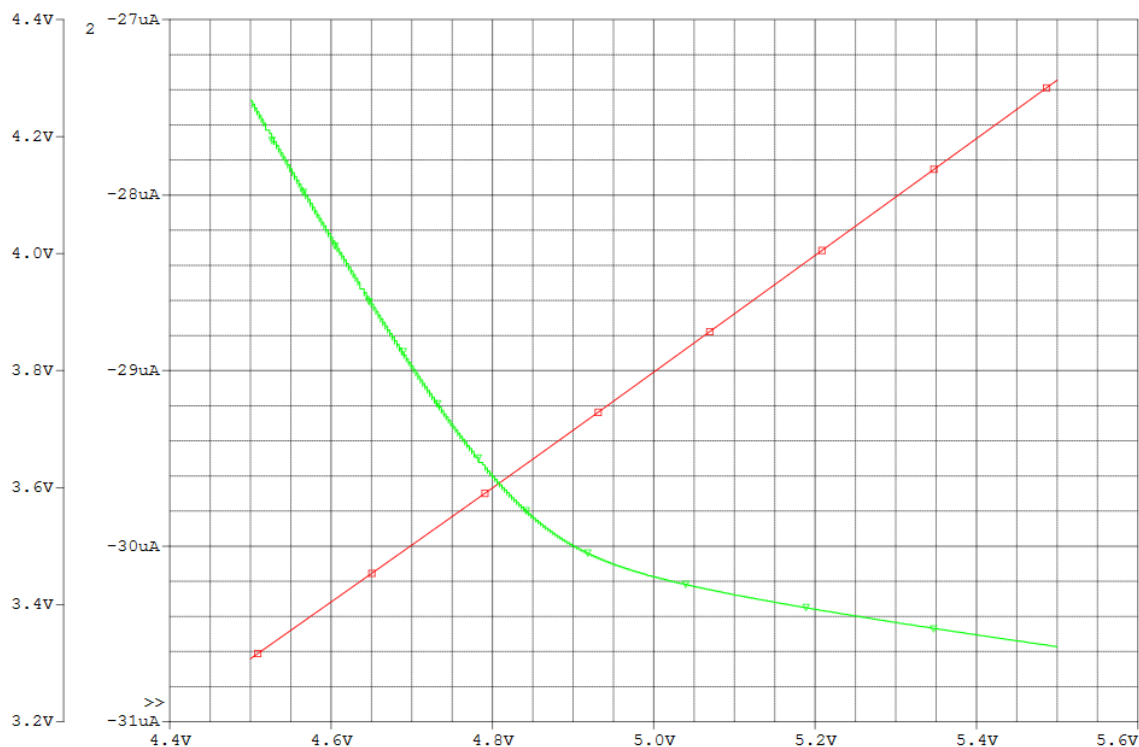
Následne boli pre hodnoty prúdov vypočítané rozmery tranzistorov M_3 a M_4 , pre ktoré bolo stanovené napätie medzi gate a source 0,2 V plus prahové napätie. Obidva tranzistory majú rovnaké rozmery kvôli menším odchýlkam, vid' rovnica 3.25.

$$\left(\frac{W}{L}\right)_{3,4} = \frac{2 \cdot I}{K P_P \cdot (U_{GS} - U_{TH})^2} = \frac{2 \cdot 50 \cdot 10^{-6}}{30 \cdot 10^{-6} \cdot 0,2^2} = 83,3 \quad (3.25)$$

Pre správnu činnosť operačného zosilňovača je potrebné do neho priviesť biasovací prúd o veľkosti 30 μA , čo zabezpečí tranzistor M_5 , ktorý má gate spojený s gate tranzistorov M_3 a M_4 . Preto sú jeho rozmery o dve pätiny menšie ako rozmery tranzistorov M_3 a M_4 , rozmery boli vypočítané rovnicou 3.26.

$$\left(\frac{W}{L}\right)_5 = \left(\frac{W}{L}\right)_{1,2} \frac{I_{Bias}}{I} = 83,3 \frac{30 \cdot 10^{-6}}{50 \cdot 10^{-6}} = 50 \quad (3.26)$$

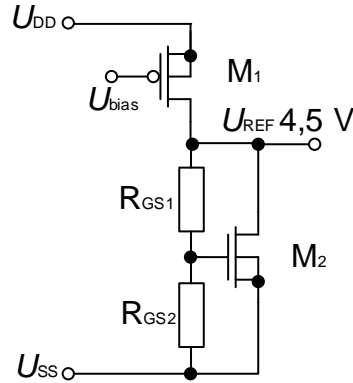
Závislosť výstupného prúdu a biasovacieho napätia na zmene napájacieho napätia navrhutej referencie je na Obr. 3.6.



Obr. 3.6: Výstupný prúd a biasovacie napätie pri zmene napájacieho napätia $\pm 10\%$

3.3.2 Referenčný napät'ový zdroj pre napätie 4,5 V

Na Obr. 3.7 je schéma použitá pre zdroj napät'ovej referencie 4,5 V.



Obr. 3.7: Schéma zapojenia zdroja napät'ovej referencie pre napätie 4,5 V

Pri návrhu sa ako prvý vypočítal prúd tečúci odpormi deliča rovnicou 3.31, ktoré nastavujú napätie U_{GS2} , pre obidva odpory bola zvolená hodnota 36 k Ω , z dôvodu menšej spotreby.

$$I_R = \frac{U_{out}}{R_{GS1} + R_{GS2}} = \frac{4,5}{36 \cdot 10^3 + 36 \cdot 10^3} = 62,5 \mu A. \quad (3.27)$$

Tranzistor PMOS určuje veľkosť prúdu do deliča, pričom prúd tečúci deličom bol zvolený na 200 μA , biasovacie napätie privedené na jeho gate z prúdovej referencie je 3,8 V. jeho rozmery boli vypočítané rovnicou 3.32.

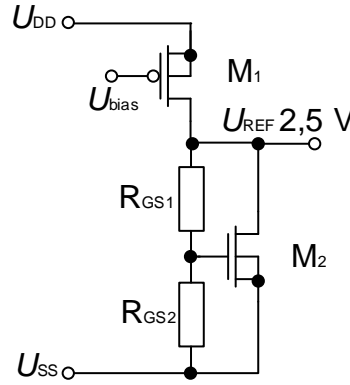
$$\left(\frac{W}{L}\right)_1 = \frac{2 \cdot I}{K P_P \cdot (U_{GS1} - U_{TH})^2} = \frac{2 \cdot 200 \cdot 10^{-6}}{30 \cdot 10^{-6} \cdot 0,2^2} = 333. \quad (3.28)$$

Dva rovnaké odpory zaisťujú polovičné výstupné napätie na gate tranzistora M_2 , tranzistorom preteká prúd o veľkosti rozdielu I a I_R . Rozmer tohto tranzistoru bol vypočítaný rovnicou 3.33.

$$\left(\frac{W}{L}\right)_2 = \frac{2 \cdot (I - I_R)}{K P_N \cdot \left(\left(\frac{U_{out}}{2}\right) - U_{TH}\right)^2} = \frac{2 \cdot 137,5 \cdot 10^{-6}}{96,3 \cdot 10^{-6} \cdot 1,48^2} = 1,3. \quad (3.29)$$

3.3.3 Referenčný napät'ový zdroj pre napätie 2,5 V

Na Obr. 3.8 je schéma použitá pre zdroj napät'ovej referencie 2,5 V.



Obr. 3.8: Schéma zapojenia zdroja napät'ovej referencie pre napätie 4,5 V

Pre referenčný zdroj 2,5 V bolo použité rovnaké zapojenie ako pre referenčný zdroj 4,5 V, takže výpočty návrhu sú podobné. Prúd tečúci odpormi deliča bol vypočítaný rovnicou 3.30, ktoré nastavujú napätie U_{GS2} , pre obidva odpory bola zvolená hodnota 36 k Ω .

$$I_R = \frac{U_{out}}{R_{GS1} + R_{GS2}} = \frac{2,5}{36 \cdot 10^3 + 36 \cdot 10^3} = 34,7 \mu A. \quad (3.30)$$

Celkový prúd deličom bol zvolený 200 μA , biasovacie napätie je privedené na jeho gate z prúdovej referencie 3,8 V. Tranzistor M_1 určí veľkosť prúdu tečúceho do deliča, jeho rozmery boli vypočítané rovnicou 3.31.

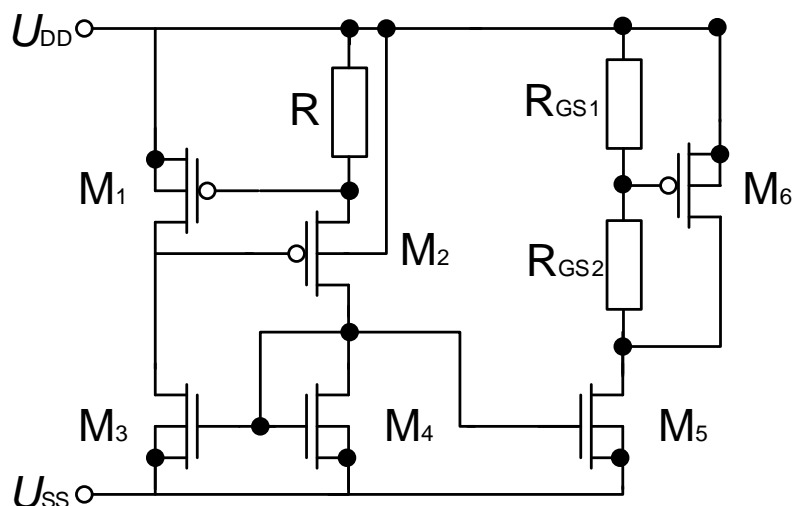
$$\left(\frac{W}{L}\right)_1 = \frac{2 \cdot I}{K P_P \cdot (U_{GS1} - U_{TH})^2} = \frac{2 \cdot 200 \cdot 10^{-6}}{30 \cdot 10^{-6} \cdot 0,2^2} = 333. \quad (3.31)$$

Dva rovnaké odpory zaisťujú polovicu výstupného napätia na gate tranzistoru M_2 , tranzistorom preteká prúd o veľkosti rozdielu I a I_R . Jeho rozmer bol vypočítaný rovnicou 3.32.

$$\left(\frac{W}{L}\right)_2 = \frac{2 \cdot (I - I_R)}{K P_N \cdot \left(\left(\frac{U_{out}}{2}\right) - U_{TH}\right)^2} = \frac{2 \cdot 165,3 \cdot 10^{-6}}{96,3 \cdot 10^{-6} \cdot 0,48^2} = 14,9. \quad (3.32)$$

3.3.4 Referenčný napät'ový zdroj pre napätie 0,5 V

Na Obr. 3.9 je schéma použitá pre zdroj napät'ovej referencie 0,5 V. V tomto zdroji nebolo možné použiť zapojenie ako u predchádzajúcich zdrojov referenčného napätia, preto sa muselo zapojenie mierne upraviť. Biasovacie napätie bolo privedené z prúdovej referencie, ktorá je zakomponovaná do návrhu.



Obr. 3.9: Schéma zapojenia zdroja napät'ovej referencie pre napätie 0,5 V

Prúdy obidvomi vetvami prúdovej referencie boli zvolené o veľkosti 50 μA . Napätie na odpore R je rovné napätiu U_{GS1} , bolo vypočítané rovnicou 3.33. Hodnota odporu bola zvolená 36 k Ω .

$$U_{GS1} = I \cdot R = 40 \cdot 10^{-6} \cdot 36 \cdot 10^3 = 1,44 \text{ V} \quad (3.33)$$

Podľa rovnice 3.34 sa zo známych hodnôt prúdu a napätia U_{GS} pre tranzistory M_1 a M_2 vypočíta ich veľkosť.

$$\left(\frac{W}{L}\right)_{1,2} = \frac{2 \cdot I}{K P_P \cdot (U_{GS} - U_{TH})^2} = \frac{2 \cdot 40 \cdot 10^{-6}}{30 \cdot 10^{-6} \cdot (1,44 - 1)^2} = 5,94 \quad (3.34)$$

Napätie na gate tranzistorov M_3 a M_4 bolo zvolené 0,2 V plus U_{TH} . Ich rozmery sú rovnaké pre väčšiu presnosť prúdov v obvode, rozmery boli vypočítané rovnicou 3.35.

$$\left(\frac{W}{L}\right)_{3,4} = \frac{2 \cdot I}{K P_P \cdot (U_{GS} - U_{TH})^2} = \frac{2 \cdot 40 \cdot 10^{-6}}{30 \cdot 10^{-6} \cdot 0,2^2} = 20,8 \quad (3.35)$$

Prúd tečúci odpormi deliča bol vypočítaný rovnicou 3.36, odpory nastavujú napätie U_{GS6} , pre obidva odpory bola zvolená hodnota 36 k Ω .

$$I_R = \frac{U_{out}}{R_{GS1} + R_{GS2}} = \frac{4,5}{36 \cdot 10^3 + 36 \cdot 10^3} = 62,5 \mu\text{A}. \quad (3.36)$$

Tranzistor NMOS určuje veľkosť prúdu do deliča, pričom prúd tečúci deličom bol zvolený na 200 μA , biasovacie napätie privedené na jeho gate z prúdovej referencie je 0,97 V. jeho rozmery boli vypočítané rovnicou 3.37.

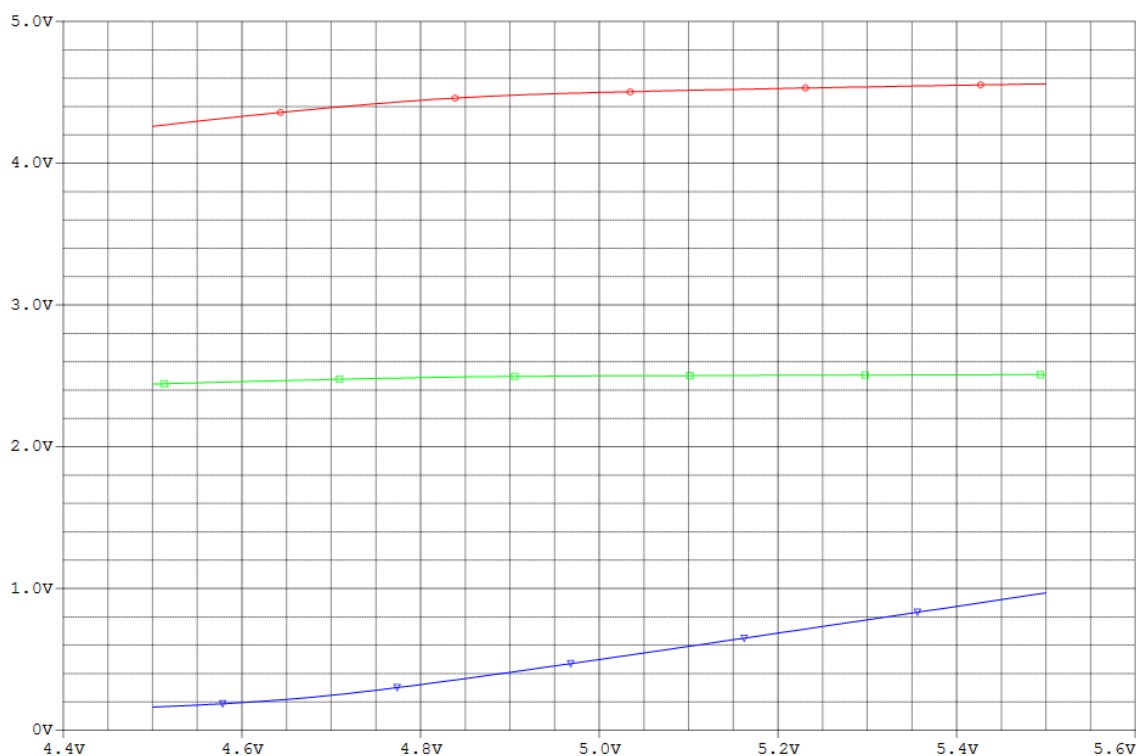
$$\left(\frac{W}{L}\right)_5 = \frac{2 \cdot I}{KP_N \cdot (U_{GS1} - U_{TH})^2} = \frac{2 \cdot 200 \cdot 10^{-6}}{96,3 \cdot 10^{-6} \cdot 0,2^2} = 103 \quad (3.37)$$

Dva rovnaké odpory zaisťujú polovičné výstupné napätie na gate tranzistora M_6 , tranzistorom preteká prúd o veľkosti rozdielu I a I_R . Rozmer tranzistoru bol vypočítaný rovnicou 3.38.

$$\left(\frac{W}{L}\right)_6 = \frac{2 \cdot (I - I_R)}{KP_P \cdot \left(\left(\frac{U_{out}}{2}\right) - U_{TH}\right)^2} = \frac{2 \cdot 137,5 \cdot 10^{-6}}{30 \cdot 10^{-6} \cdot 1,48^2} = 5,87. \quad (3.38)$$

3.3.5 Funkčnosť zdrojov referenčného napätia

Funkčnosť zdrojov referenčného napätia odsimulovaná zmenou napájacieho napätia $\pm 10\%$. Výsledok simulácie je zobrazený na Obr. 3.10.

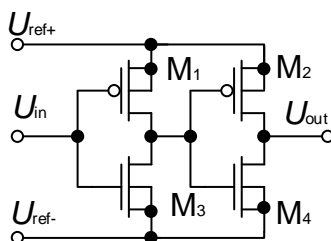


Obr. 3.10: Výstupné napätie zdrojov referenčného napätia pri zmene napájacieho napätia

3.4 Návrh spínačov

Spínače pre prevodník boli navrhnuté ako logický buffer, dva invertory zapojené do série. Na source tranzistorov NMOS je privedené referenčné napätie $U_{ref-} = 0,5$ V a na source tranzistorov PMOS je privedené referenčné napätie $U_{ref+} = 4,5$ V. Po privedení napätia na gate vstupných tranzistorov nižšieho ako 2,5 V to bude logická 1

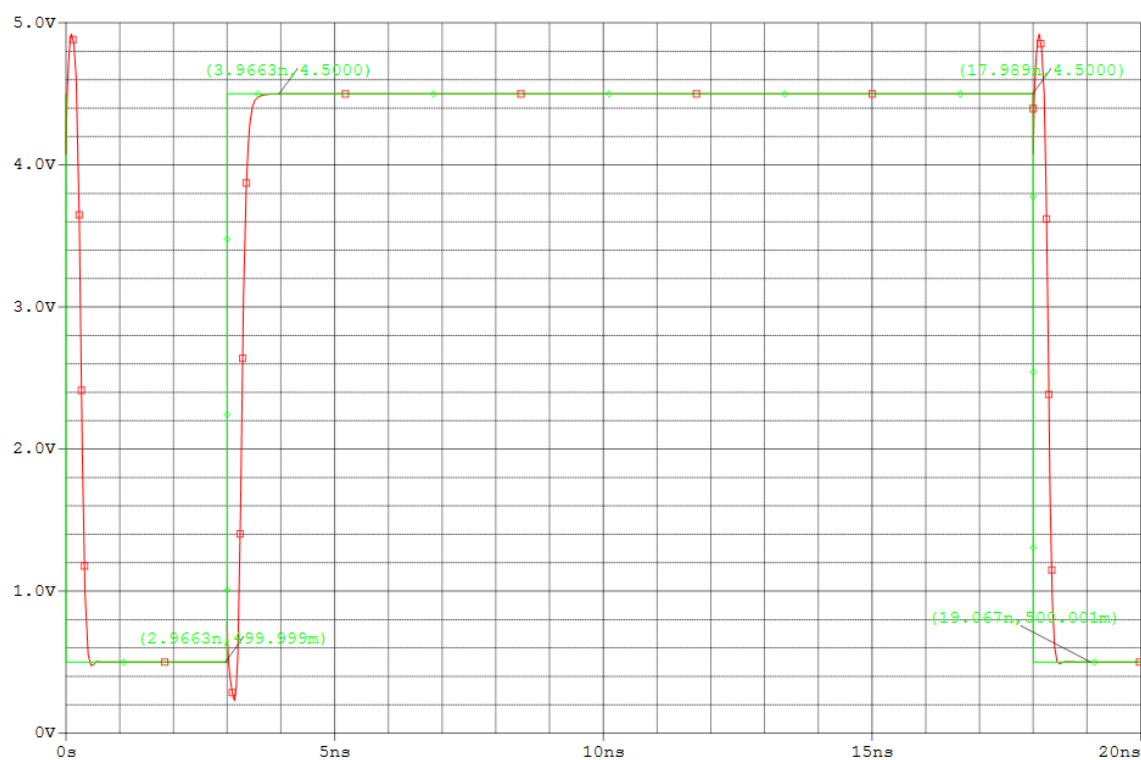
a výstupná hodnota napätia bude 0,5 V, pre vyššie napätie to bude logická 0 a výstupné napätie bude 4,5 V. schéma zapojenia je na Obr. 3.11. Doba odozvy pri nástupnej hrane je 1 ns a pri zostupnej 1,08 ns, tieto spínače je možné použiť pre spínanie pomocou signálu s kmitočtom až 927 MHz. Časová simulácia so zmeranou dobou odozvy je zobrazená na Obr. 3.12. Rozmery tranzistorov spínača sú v tabuľke 3.3.



Obr. 3.11: Schéma zapojenia spínača

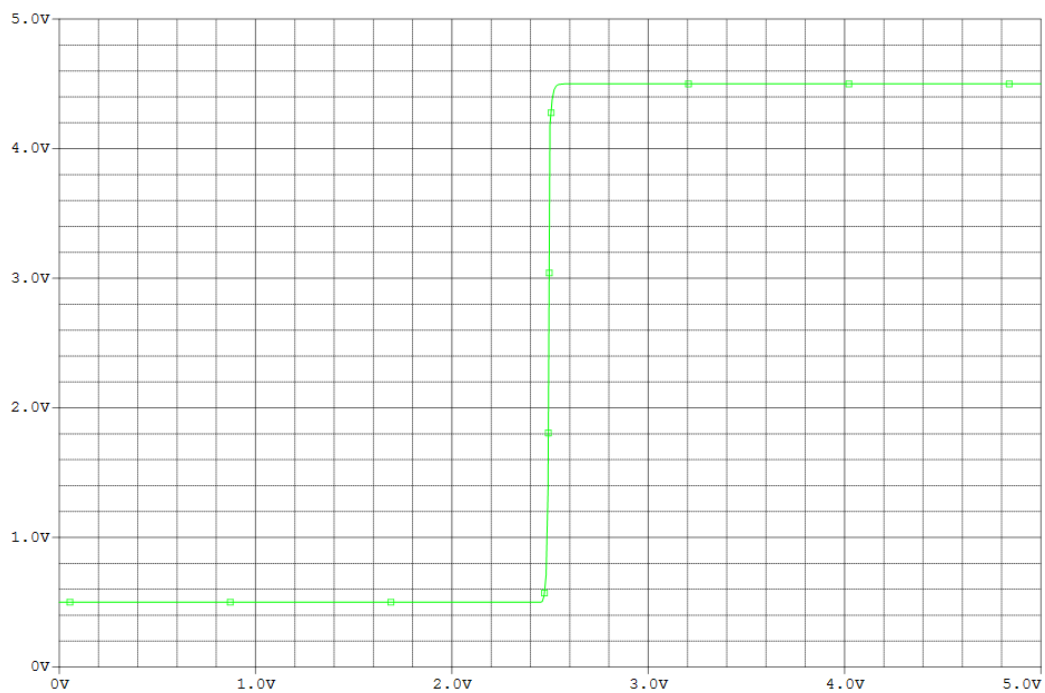
Tabuľka 3.3: Rozmery tranzistorov spínača

Tranzistor	W [μm]	L [μm]
M ₁ PMOS	133	1
M ₂ PMOS	133	1
M ₃ NMOS	42,5	1
M ₄ NMOS	42,5	1



Obr. 3.12: Doba odozvy spínača

Navrhnuté spínače majú prahovú úroveň napätia 2,4017 až 2,6124 V. Prenosová charakteristika spínačov je na Obr. 3.13.



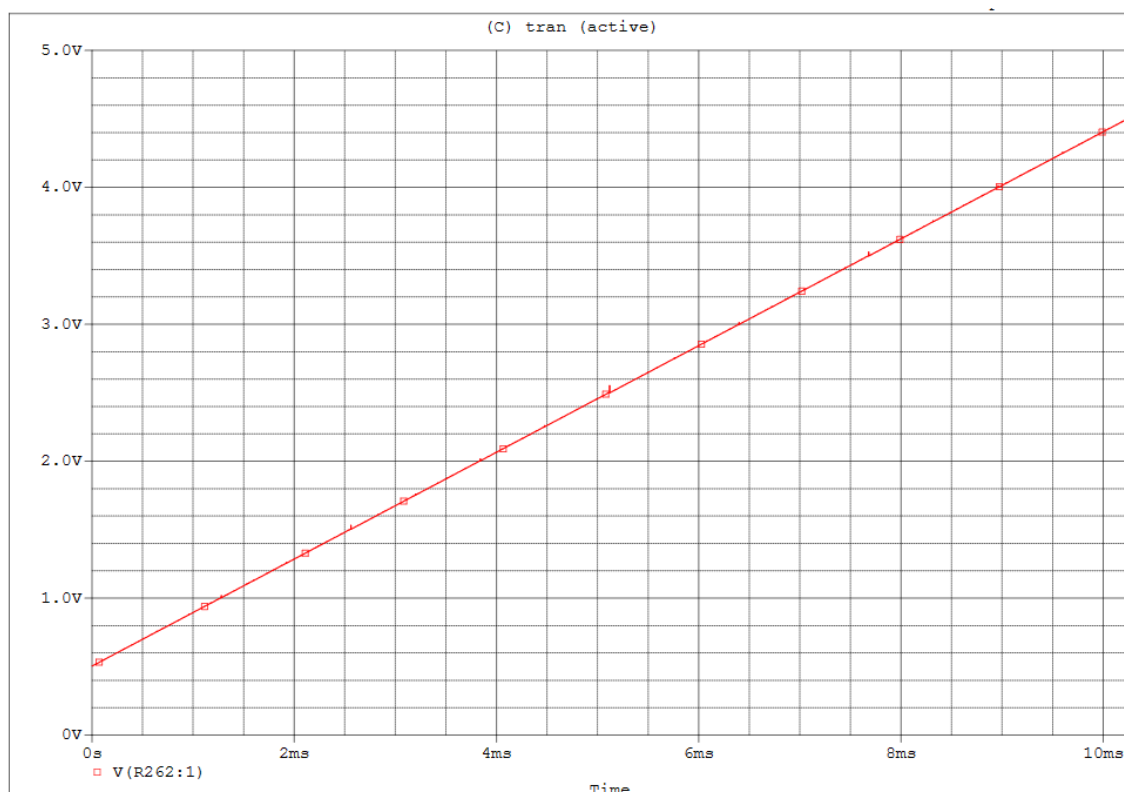
Obr. 3.13: Prenosová charakteristika spínača

4 SIMULÁCIE NAVRHNUTÉHO PREVODNÍKU DA

V tejto kapitole sú popísané vlastnosti navrhnutého desaťbitového prevodníku DA s odporovou sieťou R 2R, ktoré boli zistené simuláciami v programe PSpice.

4.1 Prenosová funkcia navrhnutého prevodníku DA

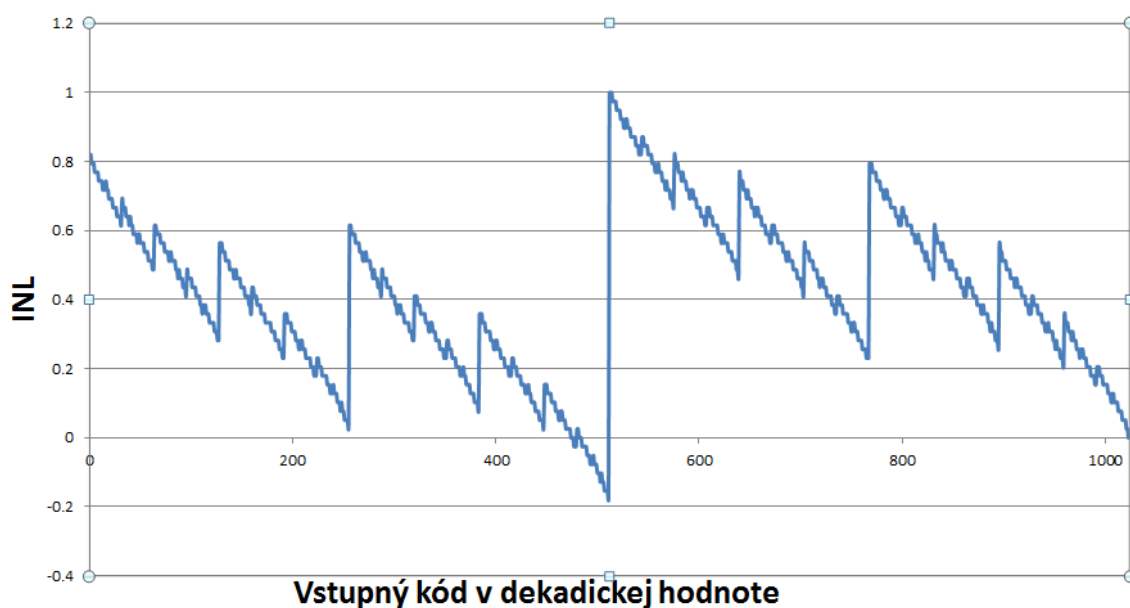
Prenosová funkcia bola odmeraná simuláciou, kde sa zvyšoval vstupný kód každých 10 μ s. prenosová funkcia je vyobrazená na Obr. 4.1.



Obr. 4.1: Prenosová funkcia prevodníku DA

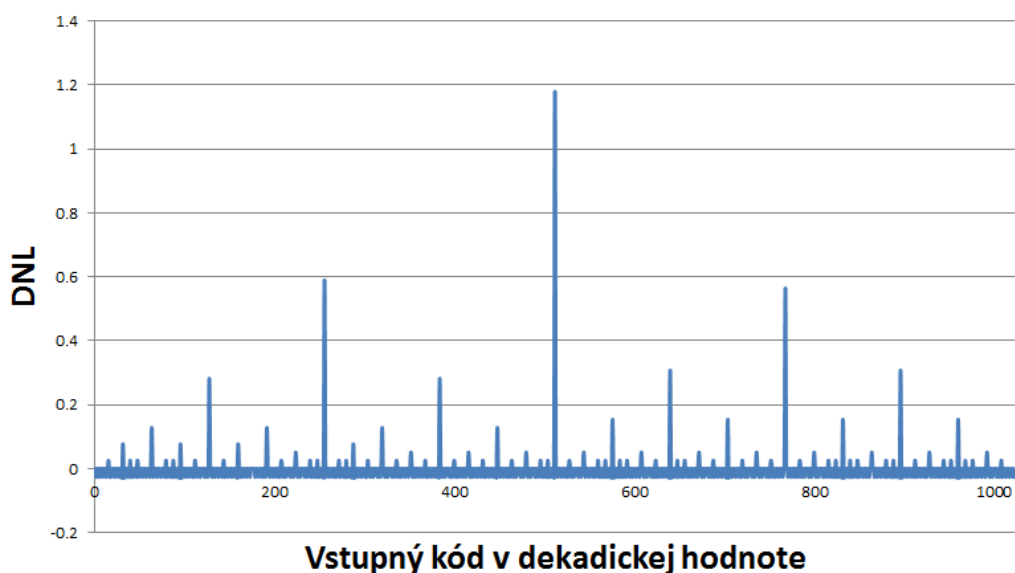
4.2 Integračná a diferenciálna nelinearita

Integračná nelinearita *INL* bola zmeraná odčítaním hodnôt napätia jednotlivých krokov navrhnutého prevodníka a následným odčítaním hodnôt ideálneho prevodníku od hodnôt reálneho. Hodnoty *INL* sa pohybujú od -0,2 *LSB* 1 *LSB*, veľkosť *INL* v závislosti na vstupnom kóde je zobrazená na Obr. 4.2.



Obr. 4.2: Graf závislosti veľkosti INL na vstupnom kóde

Diferenciálna nelinearita *DNL* bola zmeraná odčítaním hodnoty napätia každého jedného kroku prevodníku. Od rozdielu dvoch po sebe idúcich hodnôt bola odčítaná hodnota jedného *LSB*. Hodnoty *DNL* sa pohybujú od 0 *LSB* do 1,2 *LSB*. Veľkosť *DNL* v závislosti na vstupnom kóde je zobrazená na Obr. 4.3.

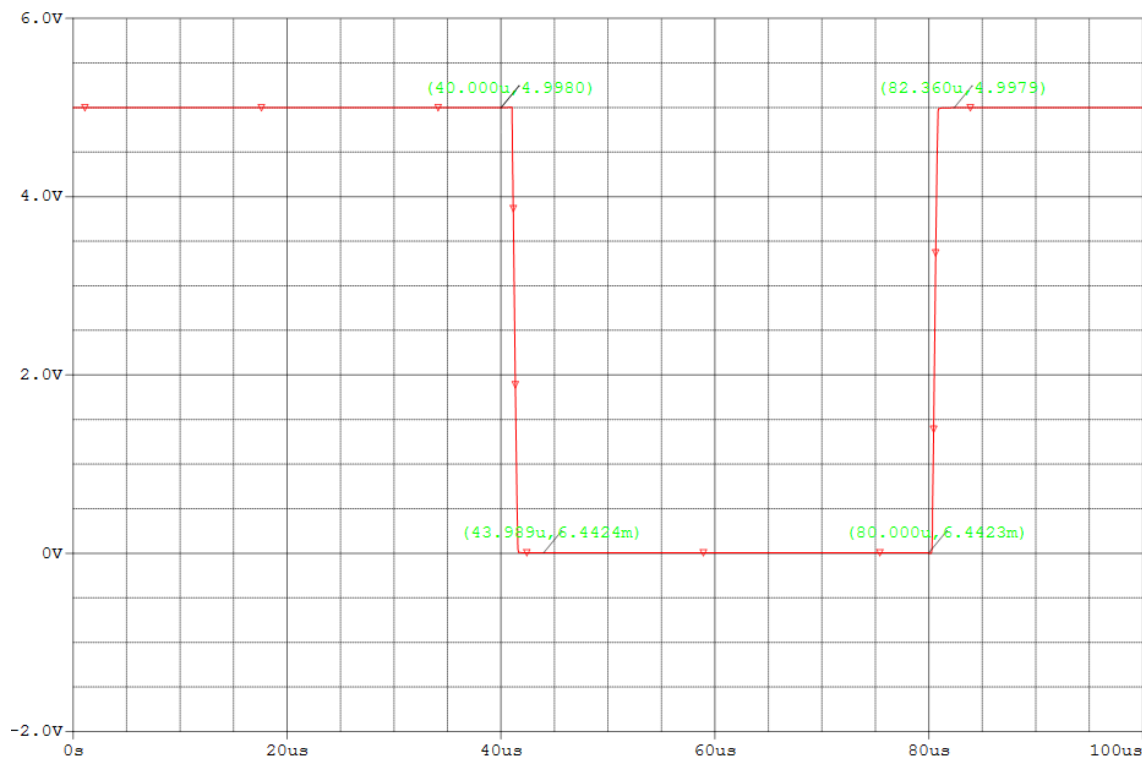


Obr. 4.3: Graf závislosti veľkosti DNL na vstupnom kóde

4.3 Doba prevodu

Doba prevodu bola zmeraná pri maximálnom napäťovom zosilnení operačného zosilňovača. Na vstupy všetkých spínačov bol privedený jednotný signál. Doba prevodu

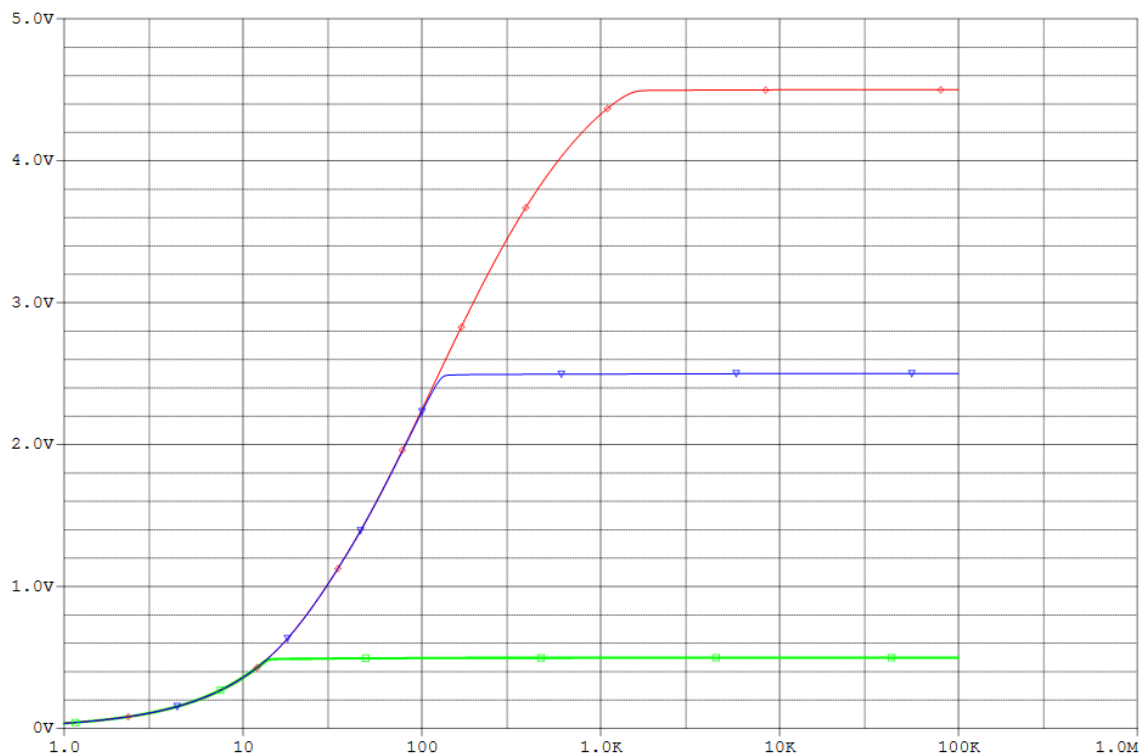
je braná ako čas od privedenia signálu na vstup po ustálenie pod hodnotu 0,5. Doba prevodu pre pokles signálu je $3,989 \mu\text{s}$ a pre nárast signálu $2,36 \mu\text{s}$. Maximálna doba prevodu je $3,989 \mu\text{s}$ z toho vyplýva že maximálny kmitočet výstupného signálu je $250,689 \text{ kHz}$. Grafický výstup simulácie je na Obr.4.4.



Obr. 4.4: Doba prevodu

4.4 Minimálny odpor zát'aže operačného zosilňovača pre referenčného napätia

Pri tejto simulácii boli výstupné uzly zdrojov referenčného napätia pripojené na vstup operačného zosilňovača, ktorý bol zapojený ako sledovač. Na výstup bol pripojený odpor, ktorého hodnoty boli krokované. Hodnota minimálneho odporu zát'aže je taká pri ktorej je na výstupe operačného zosilňovača referenčné napätie. U všetkých zdrojov referenčného napätia vyšla hodnota zaťažovacieho odporu menšia ako $18 \text{ k}\Omega$, čo je hodnota odporov použitých v odporovej sieti. Graf závislosti referenčného napätia na veľkosti zaťažovacieho odporu je na Obr. 4.5.



Obr. 4.5: Vplyv záťaže na napätie zdrojov referenčných napätí

4.5 Parametre prevodníku DA

Pomocou simulácií v programe PSpice boli zmerané parametre navrhovaného prevodníku DA, ktoré sú zhrnuté

Tabuľka 4.1: Tabuľka dosiahnutých parametrov navrhnutého prevodníku DA

Parameter	Hodnota
U_{DD} [V]	5
U_{ref} [V]	0,5 – 4,5
Rozlíšenie	10
Napäťový výstupný rozsah [V]	0,5055 – 4,4984
INL [LSB]	1 – -0,2
DNL [LSB]	0 – 1,2
Maximálna rýchlosť prevodu [kHz]	250,689
Spotreba [mW]	16,97 mW

ZÁVER

V úvode tejto bakalárskej práce boli spracované parametre prevodníkov DA a statické chyby. Následne boli prevodníky rozdelené na základné typy, z nich bol na realizáciu vybraný prevodník R-2R so sieťou napojený cez spínače (buffery) na referenčné napätia. V bakalárskej práci je popísaný princíp fungovania tranzistoru MOS.

Prevodník bol navrhnutý s 10 bitovým rozlíšením pre referenčné napätia 0,5 V a 4,5 V. Odpor v odporovej sieti boli navrhnuté pre maximálnu chybu súbehu odpovedajúcu odchýlke napätia $\frac{1}{2} LSB$. Navrhnuté zdroje napätíových referencií dosahujú požadované hodnoty s vysokou presnosťou. Odpor použité pri návrhu sú násobkami minimálneho odporu vypočítaného pre odporovú sieť. Na výstup prevodníku bol použitý operačný zosilňovač v triede AB, s tranzitným kmitočtom 8,829 MHz a zosilnením 110 dB. Navrhnuté spínače majú prahové napätie 2,4017 až 2,6124 V.

Navrhnutý prevodník má maximálnu rýchlosť prevodu 250,689 kHz. Jeho výstupný napätíový rozsah je 0,5055 V až 4,4984 V. Prevodník DA dosahuje nelinearita *INL* s hodnotami -0,2 *LSB* až 1 *LSB*, taktiež dosahuje nelinearita *DNL* s hodnotami 0 *LSB* až 1,2 *LSB*. Pre hodnotu *DNL* väčšiu ako 1 *LSB* navrhnutý prevodník nie je monotónny. Spotreba navrhnutého obvodu je 16,97 mW. Minimálna hodnota odporu záťaže ktorú možno umiestniť na výstup je 205 Ω .

LITERATURA

- [1] HOROWITZ, Paul a Winfield. HILL. *The art of electronics*. 2nd ed. New York: Cambridge University Press, 1989. ISBN 0521370957.
- [2] Parameters of D/A converters. *HTEQUEST* [online]. Silicon valey: HTEQUEST [cit. 2016-06-01]. Dostupné z: http://www.hitequest.com/Kiss/D_A.htm
- [3] Terms D/A converter characterization. *ATX7006* [online]. Veldkampseweg: Applicos [cit. 2016-05-01]. Dostupné z: <http://www.atx7006.com/articles/terms/dac>
- [4] HEO, Hun, Inyong KWON a Kwangho KIM. AD - DA Converter [online]. Yonsei, 2008 [cit. 2016-05-20]. Dostupné z: http://www-personal.umich.edu/~iykwon/ad_da_converter.pdf. Yonsei University. Vedoucí práce Gunhee Han.
- [5] WALT KESTER, Editor. *Analog-digital conversion*. S.l: Analog Devices, 2004. ISBN 0916550273.
- [6] Digital to analog converters [online]. Oslo: University of Oslo, 2012 [cit. 2016-05-20]. Dostupné z: http://www.uio.no/studier/emner/matnat/ifi/INF4420/v12/undervisningsmateriale/INF4420_09_DAC_Print.pdf
- [7] Data Converters: DAC Design. *Berkeley.edu* [online]. Berkeley: University of California, Berkeley, 2008 [cit. 2016-05-01]. Dostupné z: http://www-inst.eecs.berkeley.edu/~ee247/fa08/files07/lectures/L14_2_f08.pdf
- [8] GRAY, Paul R. *Analysis and design of analog integrated circuits*. 4th ed. New York: Wiley, c2001. ISBN 0471321680.
- [9] RAZAVI, Behzad. *Design of analog CMOS integrated circuits*. International ed., [Nachdr.]. Boston [u.a.]: McGraw-Hill, 2005. ISBN 0071188150.
- [10] KLEDROWETZ, Vilém a Jiří HÁZE. *Návrh analogových integrovaných obvodů*. Vysoké učení technické v Brně, 2015.

ZOZNAM SYMBOLOV, VELIČÍN A ZKRATIEK

A_U	zosilnenie v otvorenej slučke	dB
b_i	hodnota bitu s pozíciou i	-
C_C	kompENZAČNÁ kapacita	F
C_L	parazitná kapacita	F
C_{OX}	parazitná kapacita gate oxid	F/m
DNL	diferenčná nelinearita	V
FSR	plný škálový rozsah	V
GBW	šírka pásma(tranzitný kmitočet)	Hz
g_m	transkonduktancia tranzistoru	S
I_D	prúd drainom	A
IN_{DEC}	vstupné digitálne dáta v dekadickom zápise	-
INL	integračná nelinearita	V
KP	transkonduktančný parameter	A/V^2
L	dĺžka kanálu/odporu	m
LSB	bit s najmenšou váhou	-
MSB	bit s najväčšou váhou	-
N	počet bitov prevodníku	-
N_{SUB}	dotácia substrátu	m^{-3}
q	elementárny elektrický náboj	C
r_{OUT}	výstupný odpor	Ω
RSL	rozlíšenie prevodníku	-
SR	rýchlosť priebehu	V/s
Symbol	Popis	Jednotka
t	čas	s
t_{OX}	hrúbka oxidu	m
U_{DSsat}	saturačné napätie drain-source	V
U_{FB}	flatband napätie	V
U_{GS}	napätie gate-source	V
U_{OUT}	výstupné napätie	V

U_{TH}	prahové napätie	V
W	šírka kanálu/odporu	m
ϵ_{OX}	permitivita oxidu kremičitého	F/m
ϵ_{Si}	permitivita kremíku	F/m

ZOZNAM OBRÁZKOV

Obr. 1.1: Ideálna prevodová charakteristika prevodníku DA.....	9
Obr. 1.2: Prenosová funkcia s chybou nuly $\frac{1}{4}$ LSB.....	11
Obr. 1.3 Prevodová charakteristika s chybou zosilnenia	11
Obr. 1.4: Prevodová charakteristika s chybou INL a DNL	12
Obr. 1.5: Prevodník DA s odporovou sieťou.....	13
Obr. 1.6: Prevodník DA pracujúci s termometrickým kódom.....	14
Obr. 1.7: Prevodník DA s binárne váženými odpormi	15
Obr. 1.8: Prevodník DA s odporovou sieťou $R_2 - R$	16
Obr. 1.9: Prevodník DA s binárne váhovými kapacitami.....	16
Obr. 1.10: Prevodník DA s binárne váhovými zdrojmi.....	17
Obr. 2.1: Schematické značky pre MOSFET	18
Obr. 2.2: Štruktúra tranzistoru MOS	19
Obr. 2.3: Výstupná charakteristika tranzistoru NMOS.....	19
Obr. 2.4: Malosignálový model tranzistoru MOS so spojeným bulk a source	21
Obr. 2.5: Malosignálový model tranzistoru MOS s nespojeným bulk a source	21
Obr. 3.1: Schéma navrhnutého prevodníku DA	22
Obr. 3.2: Schéma zapojenia operačného zosilňovača.....	24
Obr. 3.3: Zapojení pre simuláciu minimálnych zaťažovacích odporu.....	27
Obr. 3.4: Schéma navrhnutého OZ s rozmermi tranzistorov	27
Obr. 3.5: Schéma zapojenia prúdovej referencie	28
Obr. 3.6: Výstupný prúd a biasovacie napätie pri zmene napájacieho napätia $\pm 10\%$..	29
Obr. 3.7: Schéma zapojenia zdroja napäťovej referencie pre napätie 4,5 V	30
Obr. 3.8: Schéma zapojenia zdroja napäťovej referencie pre napätie 4,5 V	31
Obr. 3.9: Schéma zapojenia zdroja napäťovej referencie pre napätie 0,5 V	32
Obr. 3.10: Výstupné napätie zdrojov referenčného napätia pri zmene napájacieho napätia	33
Obr. 3.11: Schéma zapojenia spínača	34
Obr. 3.12: Doba odozvy spínača.....	35
Obr. 3.13: Prenosová charakteristika spínača.....	35
Obr. 4.1: Prenosová funkcia prevodníku DA	36
Obr. 4.2: Graf závislosti veľkosti INL na vstupnom kóde.....	37

Obr. 4.3: Graf závislosti veľkosti DNL na vstupnom kóde	37
Obr. 4.4: Doba prevodu	38
Obr. 4.5: Vplyv záťaže na napätie zdrojov referenčný napätí	39

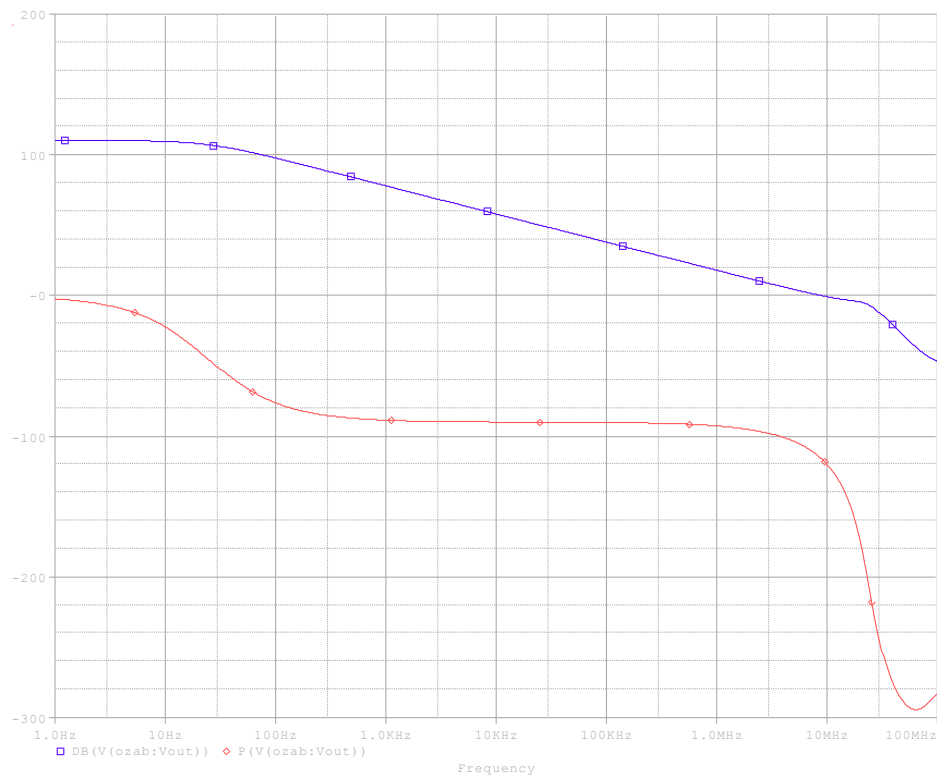
ZOZNAM TABULIEK

Tabuľka 1.1: Prehľad štruktúr prevodníkov DA a ich vlastností[4]	12
Tabuľka 3.1: Požadované parametre OZ	23
Tabuľka 3.2: Parametre navrhnutého OZ	28
Tabuľka 3.3: Rozmery tranzistorov spínača	34
Tabuľka 4.1: Tabuľka dosiahnutých parametrov navrhnutého prevodníku DA.....	39

ZOZNAM PRÍLOH

Príloha 1	Kmitočtová a fázová charakteristika OZ.....	48
Príloha 2	Časová analýza pre určenie rýchlosti priebehu	48
Príloha 3	Vstupný napäťový rozsah	49
Príloha 4	Výstupný napäťový rozsah	49
Príloha 5	Zapojenie Prevodníku DA	50

Príloha 1 Kmitočtová a fázová charakteristika OZ



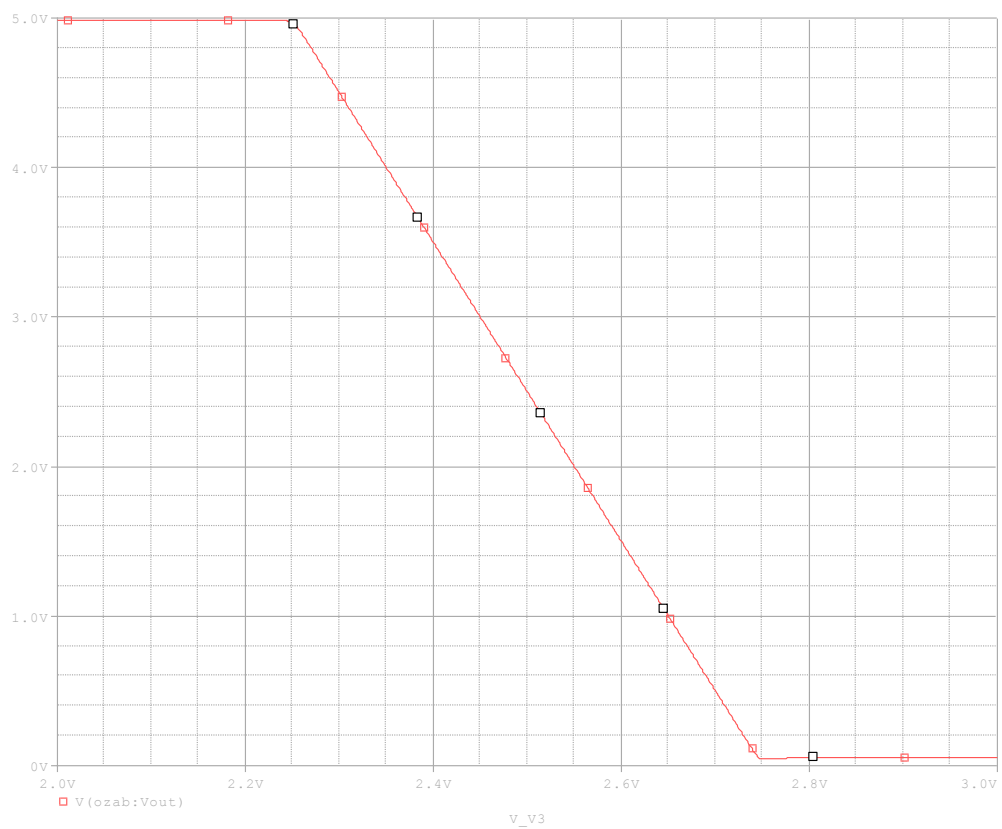
Príloha 2 Časová analýza pre určenie rýchlosti priebehu



Príloha 3 Vstupný napäťový rozsah



Príloha 4 Výstupný napäťový rozsah



Príloha 5 Zapojenie Prevodníku DA

